



微細化に依らない MOSトランジスタの性能向上へのアプローチ

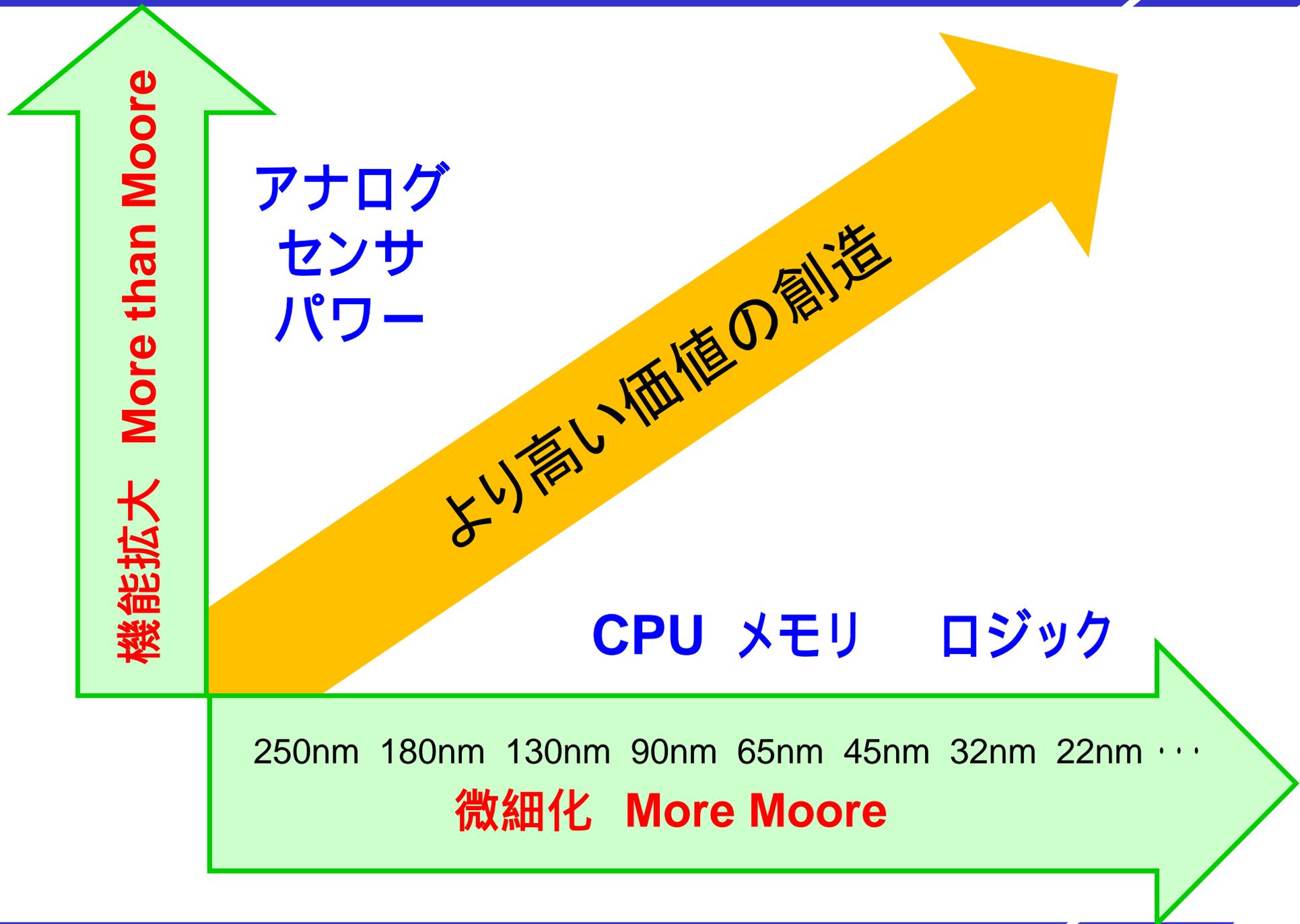
東北大学
未来科学技術共同研究センター

諏訪 智之

集積回路を取り巻く環境の変化

- 半導体集積回路の用途が広がり、デジタル・アナログ共に要求される性能が高度になった
- デジタル・アナログIC共に、高い性能と効率を実現するためのプロセス技術が要求
- アナログ・センサICの位置づけが重要となり、ビジネス規模も拡大
- デジタルCMOSの微細化による電源電圧の低下により、高精度・高性能のアナログ・センサ素子混載がさらに困難

高付加価値、機能拡大の方向へ ~ 微細化だけが目指す方向ではない



LSI超低消費電力化の方向

$$\text{消費電力 } P = \frac{1}{2} n f c V_{DD}^2$$

n : システムに含まれる論理ゲート数 : 通常は増加する

f : 論理ゲートの処理性能 / クロック周波数 : 増加する

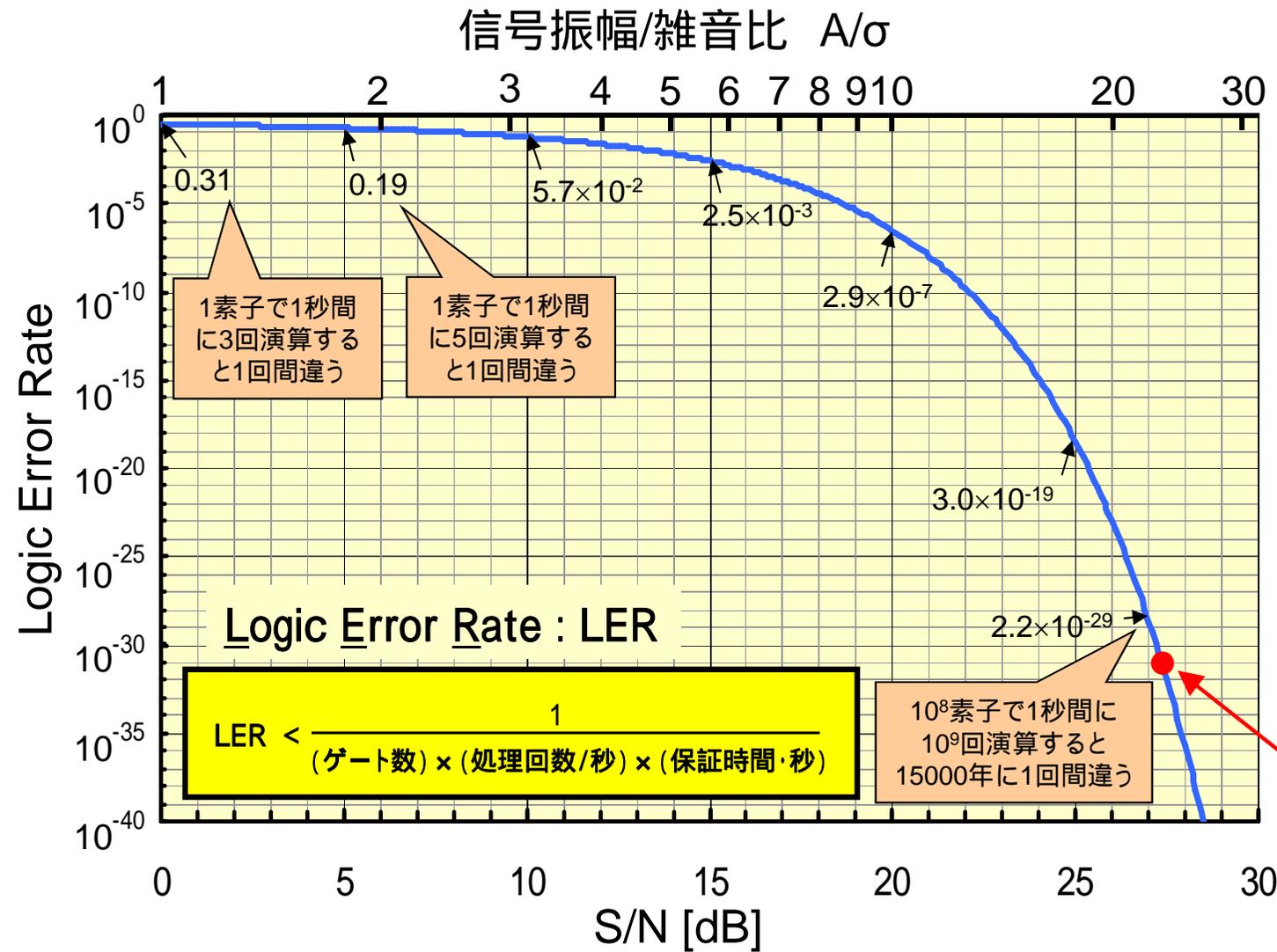
c : 論理ゲートの負荷容量 : 微細化で減少

V_{DD} : 信号電圧 / CMOSの場合 電源電圧

低消費電力化には電源電圧の低減が、
システム性能を向上させながら論理ゲート数nの低減

揺らぎ・ばらつき・雑音の重要性

LER と S/N の関係



システム性能

- ゲート数
1兆ゲート = 1×10^{12}
- 処理性能
10GHzクロック = $1 \times 10^{10}/\text{sec}$
- 誤動作をしない時間
10年間 = $3.15 \times 10^8 \text{ sec}$

$$\frac{1}{1 \times 10^{12} \times 1 \times 10^{10} \times 3.15 \times 10^8}$$

LER < 3.1×10^{-31}

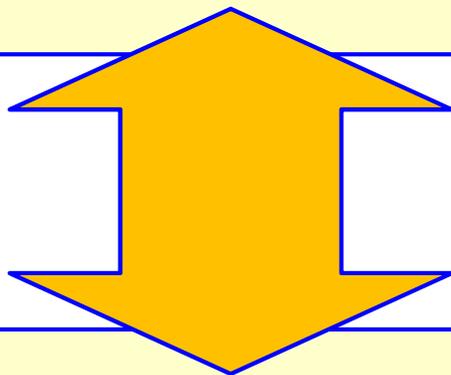
誤動作させないために必要なS/N

集積システム	集積ゲート数	駆動周波数	性能保障期間	必要なLER	必要なS/N (A/σ)
プリミティブな テスト回路の一例	100ゲート	1MHz (10^6 Hz)	1ヶ月 (2.6×10^6 秒)	$< 3.8 \times 10^{-15}$	> 23.8 dB (15.5)
大規模集積回路 (現状の民生品主流LSI)	100万ゲート (10^6 ゲート)	100MHz (10^8 Hz)	10年間 (3.2×10^8 秒)	$< 3.2 \times 10^{-23}$	> 25.9 dB (19.7)
大規模集積回路 (現状の高速MPU)	1億ゲート (10^8 ゲート)	1GHz (10^9 Hz)	10年間 (3.2×10^8 秒)	$< 3.2 \times 10^{-26}$	> 26.5 dB (21.1)
大規模集積回路 (将来の高速MPU)	1兆ゲート (10^{12} ゲート)	10GHz (10^{10} Hz)	10年間 (3.2×10^8 秒)	$< 3.2 \times 10^{-31}$	> 27.3 dB (23.1)
生態系回路 (人間の脳)	10^{15} ゲート	1KHz (10^3 Hz)	1秒	$< 1 \times 10^{-18}$	> 24.6 dB (16.7)
			10年間 (3.2×10^8 秒)	$< 3.2 \times 10^{-27}$	> 26.6 dB (21.3)

誤動作を起こさせないためには $S/N > \text{約}27\text{dB}$ ($A/\sigma > \text{約}23$) が必要

⇔ 微細化するほど雑音・ばらつきが増加

- 微細化に依らないMOSトランジスタの高性能化
- MOSトランジスタの雑音・ばらつきの低減



- デバイス構造、デバイス動作の検討
- プロセス技術に対する高性能化、高精度化

微細化に依らないトランジスタの高性能化へのアプローチ

() ゲート絶縁膜・シリコン界面の原子オーダーの平坦化

現状1.5nm ~ 2.0nmの界面凹凸を0.13nmの凹凸に) 界面凹凸散乱が激減して、特に大きなゲートバイアスに対して、電子・ホール移動度が向上してCMOSの動作速度向上

() ゲート絶縁膜にラジカル窒化膜 (Si_3N_4) の導入

() ソース・ドレイン電極直列抵抗の2桁低減

現状の $1 \times 10^{-8} \Omega \cdot \text{cm}^2$ の接触抵抗を $1 \times 10^{-10} \Omega \cdot \text{cm}^2$ へ 負帰還効果がまったく無くなって、トランジスタの実効相互コンダクタンスが大きくなってCMOSの動作速度向上

() Accumulation Mode MOSトランジスタの全面導入

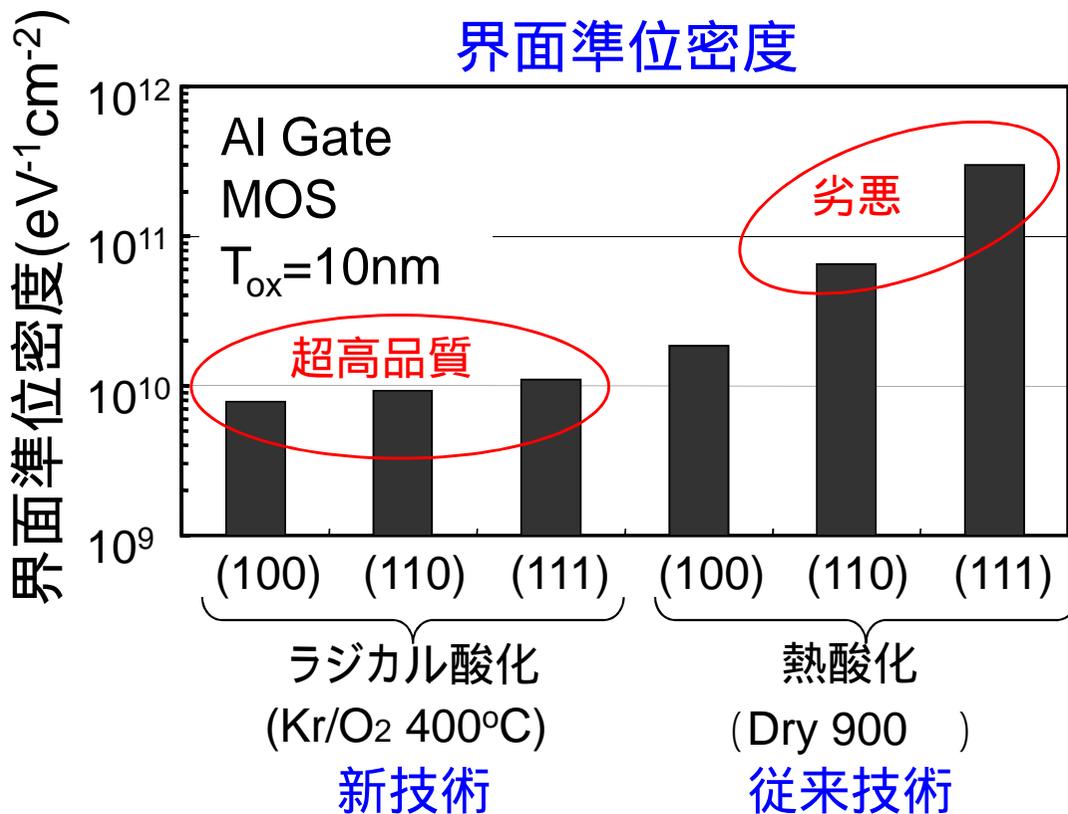
SOI: Silicon on Insulator基板の導入へ クーロン散乱が効かなくなって電子・ホール移動度が大きくなると共に、On/Off時のゲート絶縁膜及びチャネルシリコン層の垂直方向の電界の向きが逆方向になるため、動作電圧が、大きくできてCMOSの動作速度向上。

() (551)面シリコン基板の導入 (現状は(100)面シリコン基板)

ホール移動度が大きくなってCMOSの動作速度向上

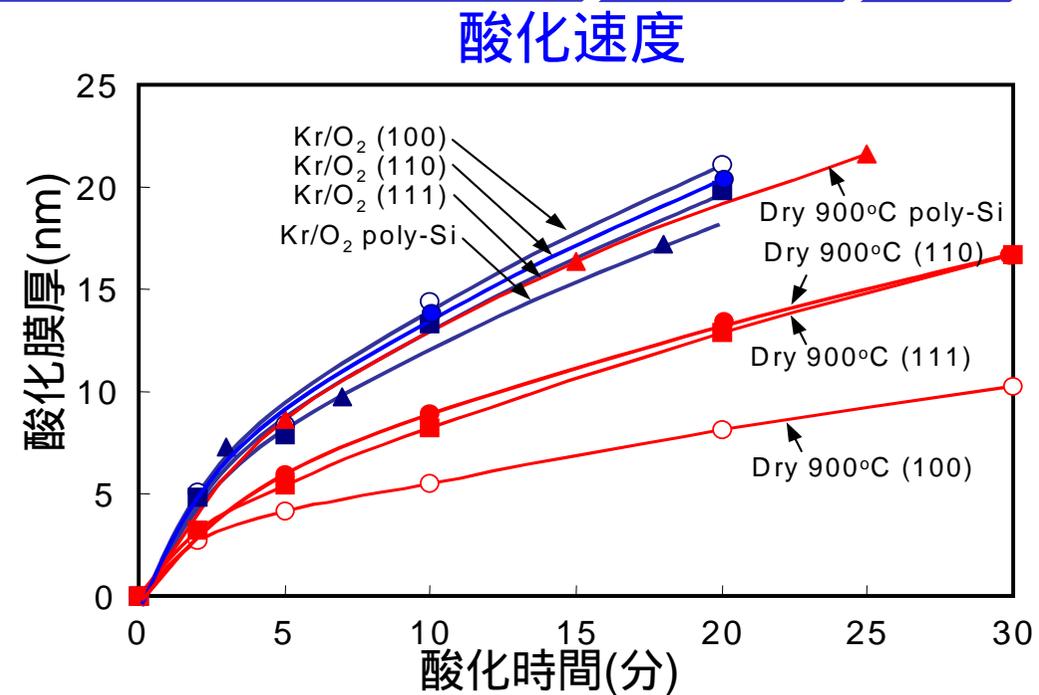
低温ラジカル反応プロセス

ラジカル酸化による超高品質SiO₂



ラジカル酸化:すべての面方位のシリコン表面上に同じ膜質のSiO₂膜が同じ成膜速度で形成される。

⇒ 三次元立体構造MOSトランジスタ



従来技術:熱酸化(Dry 900°C)

⇒ 酸化速度が基板面方位により異なる

⇒ 同じ膜質の酸化膜が形成されていない!!

新技術:ラジカル酸化(Kr/O₂ 400°C)

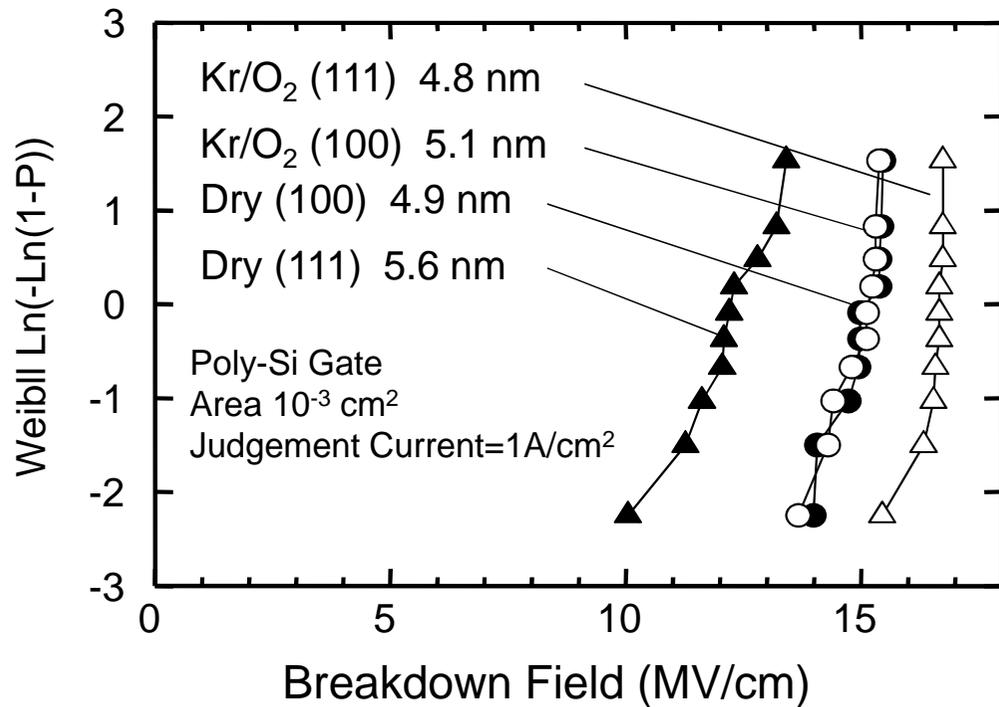
⇒ 基板面方位に依らずほとんど同じ酸化速度

⇒ 基板面方位に依らず超高品質の酸化膜が形成!!

Kr / O₂プラズマによる原子状酸素の酸化レートはSi表面の面方位、結晶状態(結晶または多結晶)またはドーピング濃度に依存しない。

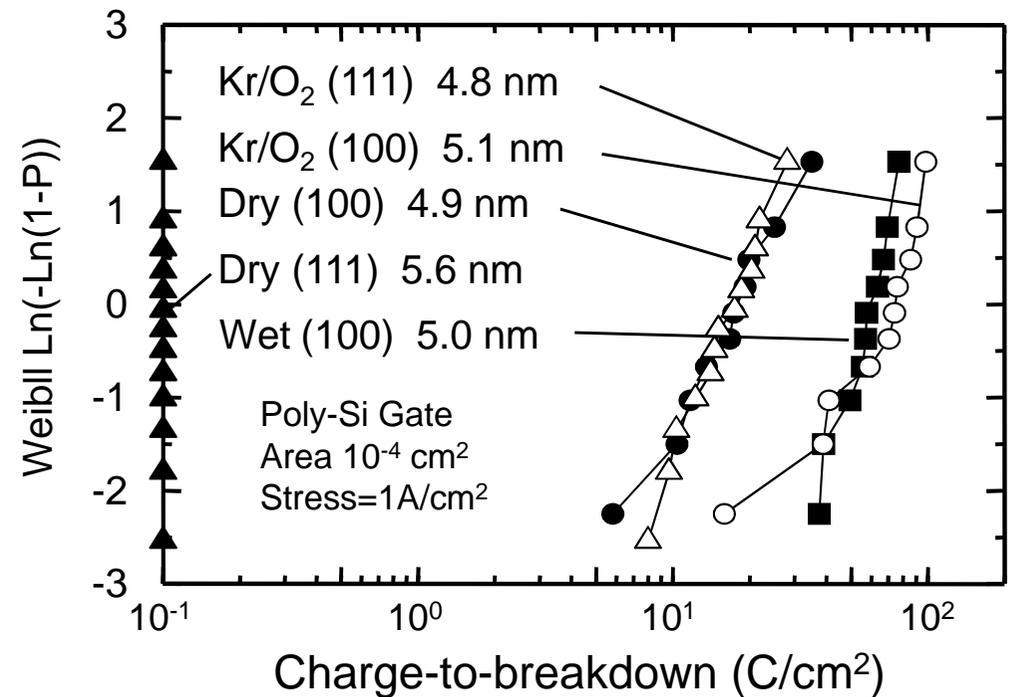
マイクロ波励起Kr/O₂プラズマを用いたシリコン直接酸化

絶縁破壊電界(E_{BD})
(100) vs. (111)



(100)面より優れた絶縁耐圧

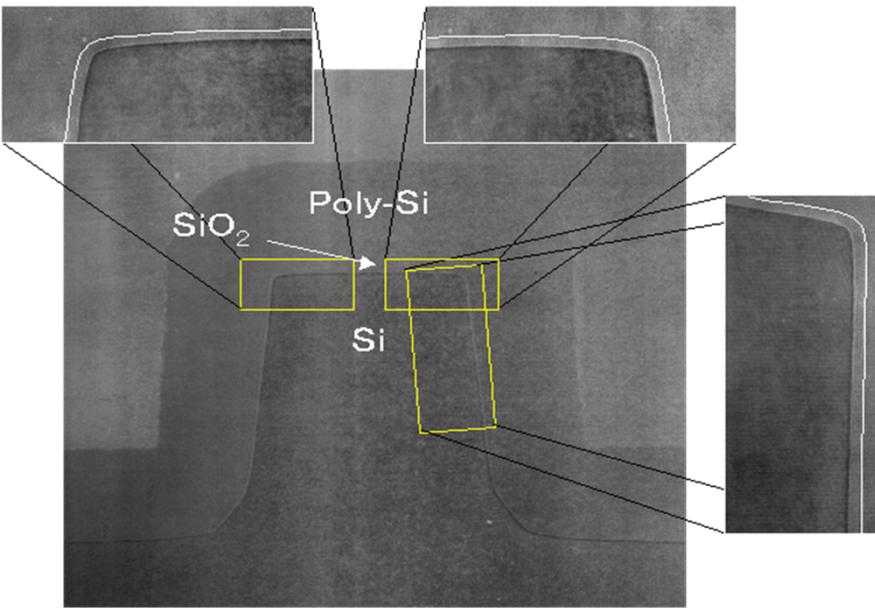
Charge-to-Breakdown (Q_{BD})
(100) vs. (111)



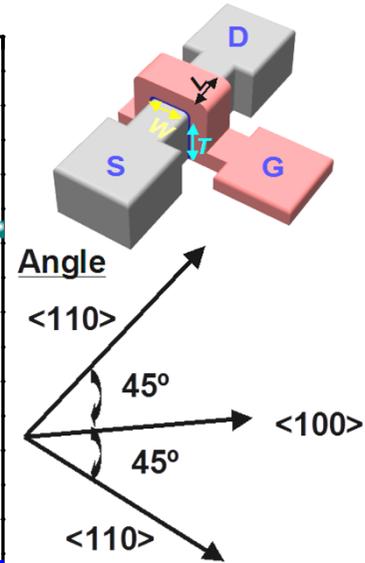
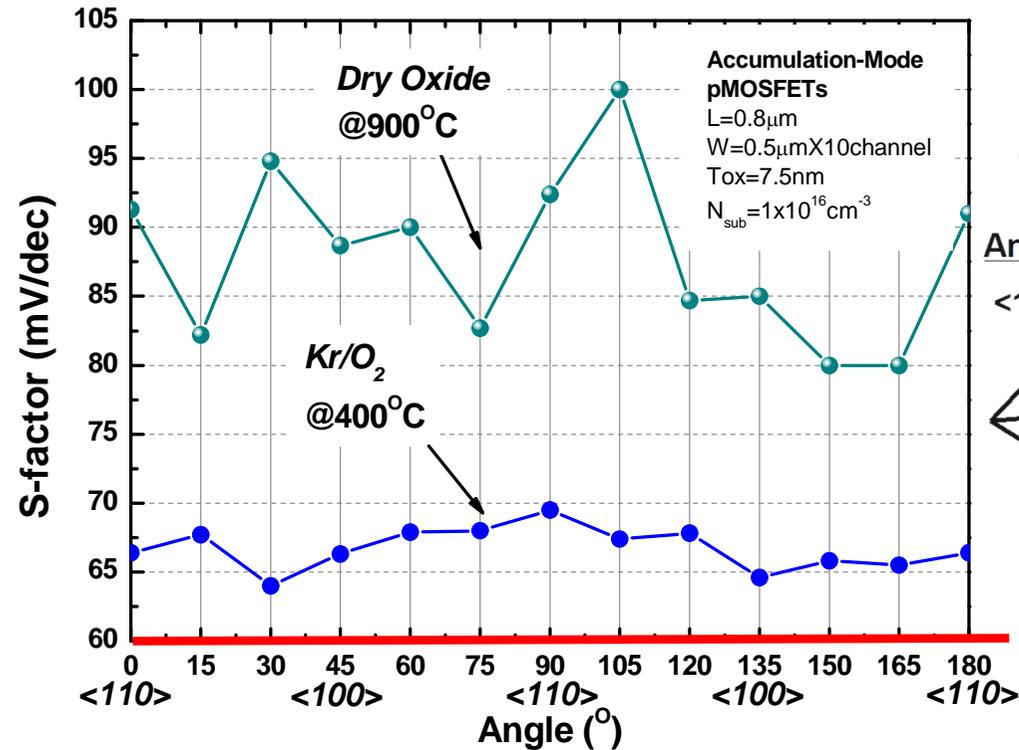
(100)上の熱酸化膜と同等の Q_{BD} を実現

Kr/O₂低温酸化により、(111)面上に高品質酸化膜が形成可能

3次元構造トランジスタを実現するゲート絶縁膜形成技術



Kr/O₂ @ 400
Tox=3nm



理論値

3次元構造トランジスタ

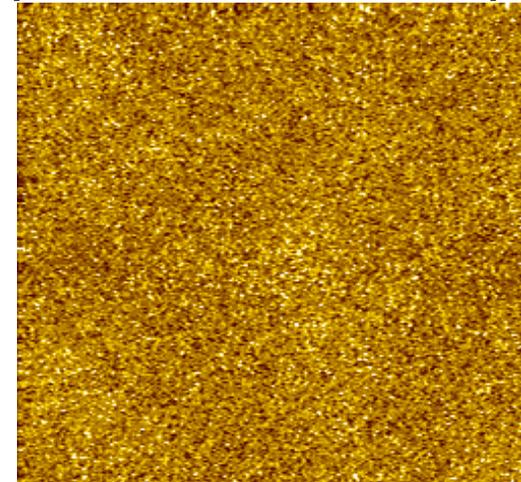
Si(100)面以外の面方位表面上にも高品質な絶縁膜を形成することが必要不可欠

→ラジカル酸化により実現可能

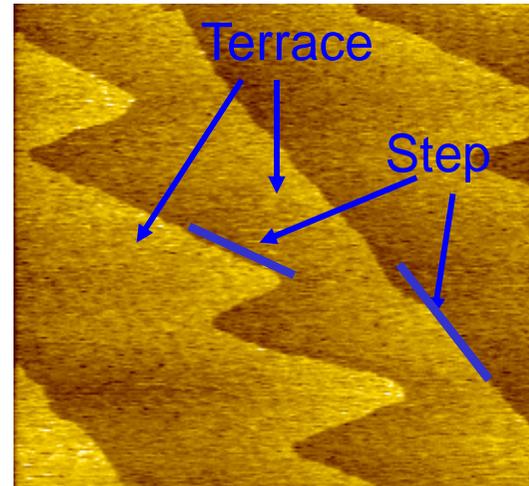
シリコン表面平坦化技術

Ar雰囲気アニール前後のSi(100)表面のAFM観察像

Before Annealing
(機械的・化学的研磨後)



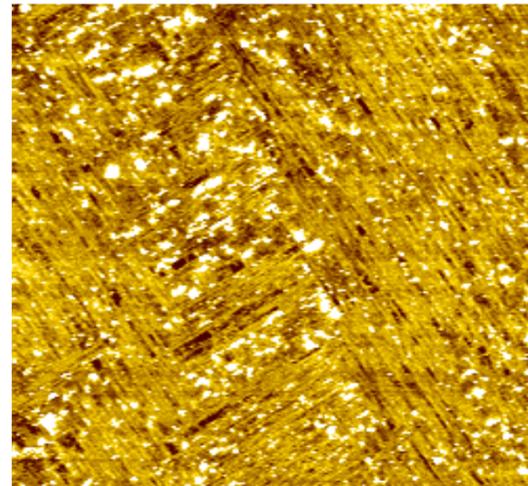
Ra=0.12 nm



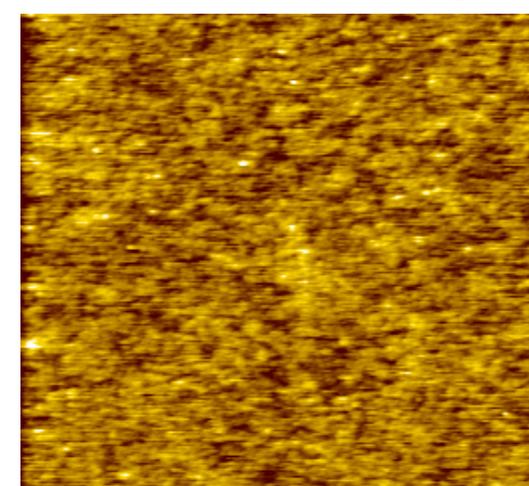
Clean Ar ambient
1200°C30分アニール
Rat=0.03nm
(noise level)

Rat: Average roughness in terrace

After Annealing



O₂ ~ 100ppm
1200°C30分アニール
Ra > 0.30 nm



O₂ ~ 2000ppm
1100°C30分アニール
Ra = 0.11 nm
Oxide film thickness:
17nm

酸素・水分濃度を徹底的に抑えることにより、原子オーダーで完全に平坦なテラス&ステップから構成される原子オーダー平坦表面を実現

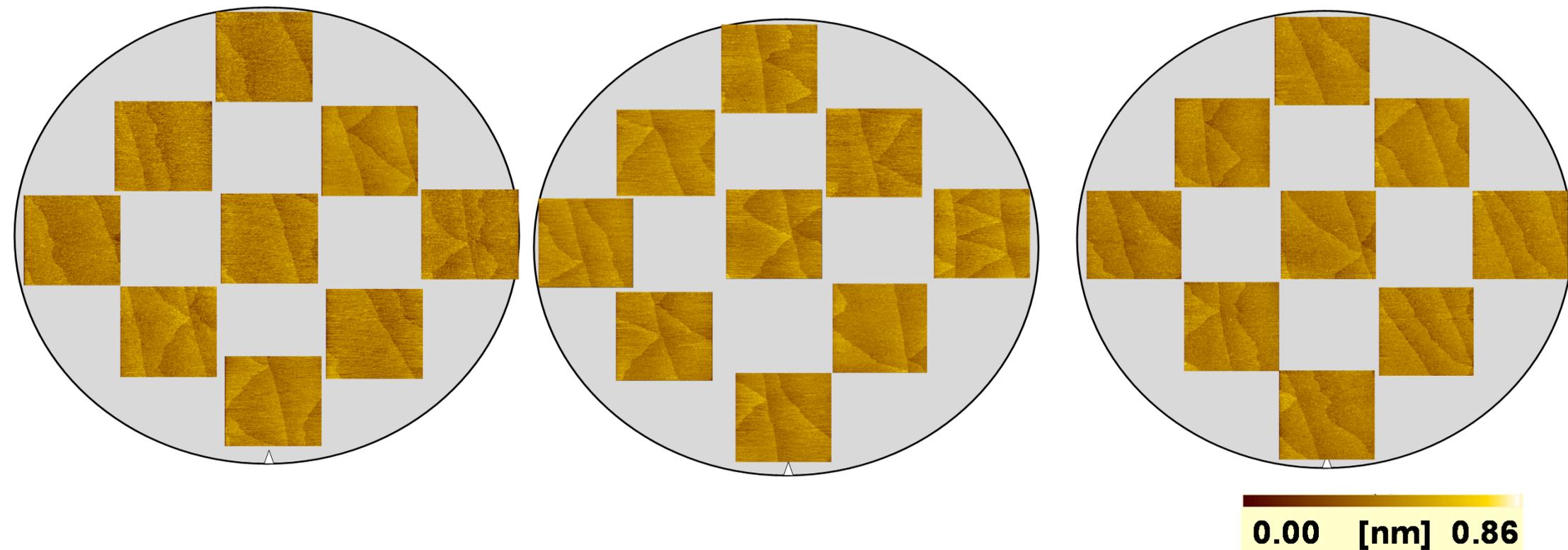
大口径ウェーハの原子オーダー平坦化

➤ Ar ambient annealing with gas flow rate of 14slm

800°C for 80 hours

850°C for 9 hours

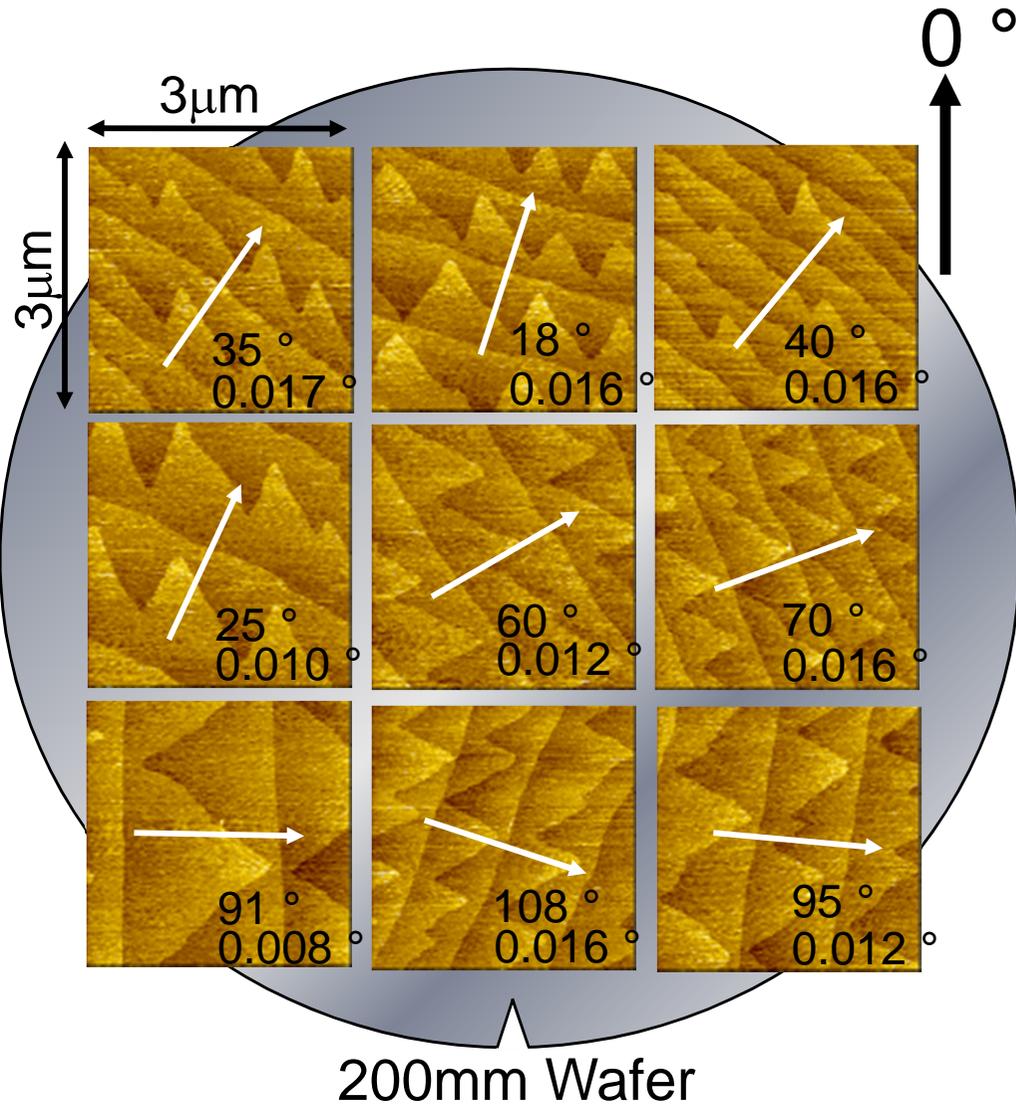
900°C for 1 hours



900 以下の低温の熱処理で、ウェハ全表面に
均一な原子オーダー平坦表面を実現

(100)シリコン表面の原子オーダ平坦化

~ 原子オーダで平坦なシリコン表面と絶縁膜 / シリコン界面 ~



	ラジカル酸化 (400)	熱酸化 (1000)
酸化前		
酸化後		

熱酸化 界面のラフネス増加

ラジカル酸化 原子オーダで平坦な界面を実現!!

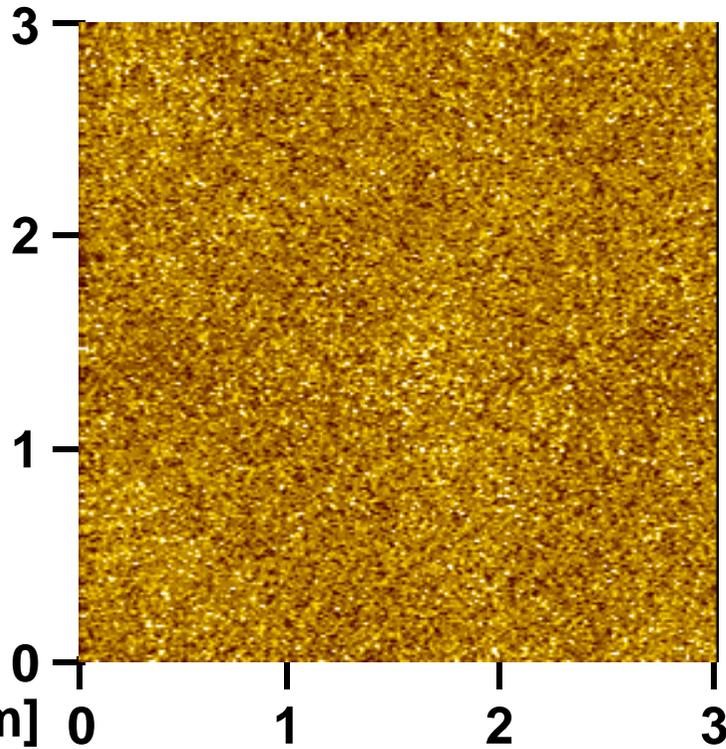
8インチウェハの全面で原子オーダ平坦な表面を実現!!

3 × 3 μm² AFM images of Si(100) Surface

Si(100)

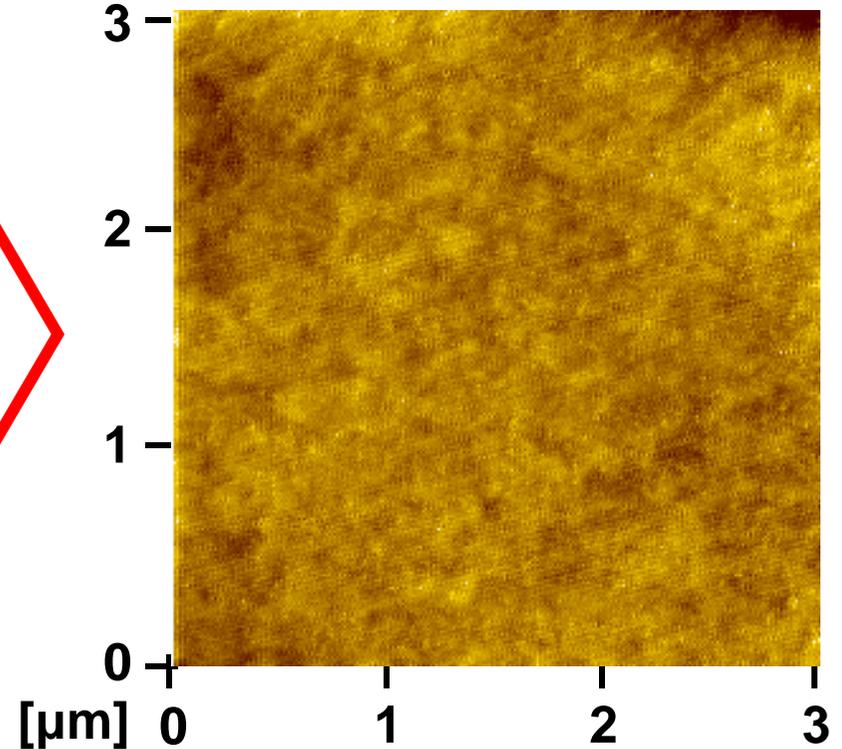
Xe /H₂
Plasma Treatment
Xe(95%)
/ H₂(10%)
266 Pa
400 °C
3 minutes

before flattening



Ra = 0.12 nm

after flattening



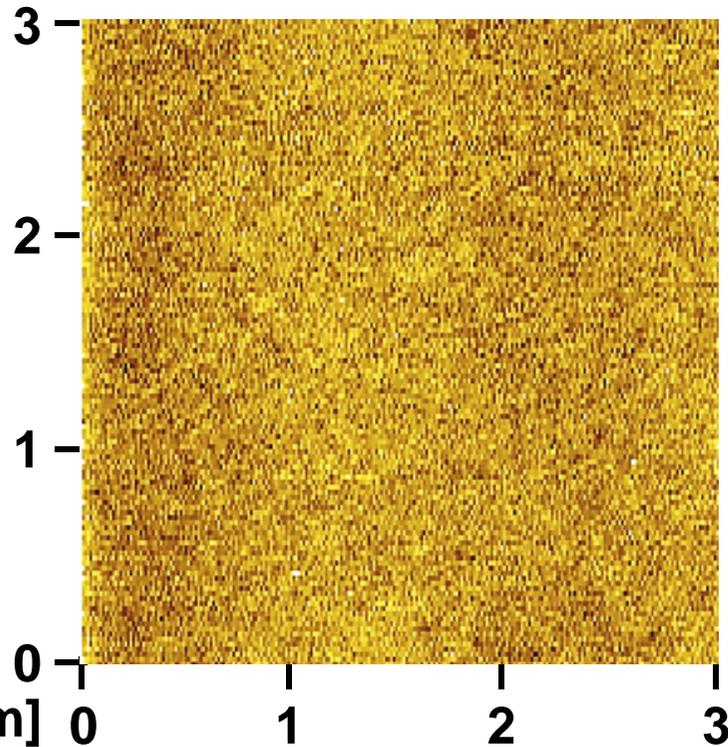
Ra = 0.039 nm

3 × 3 μm² AFM images of Si(551) Surface

Si(551)

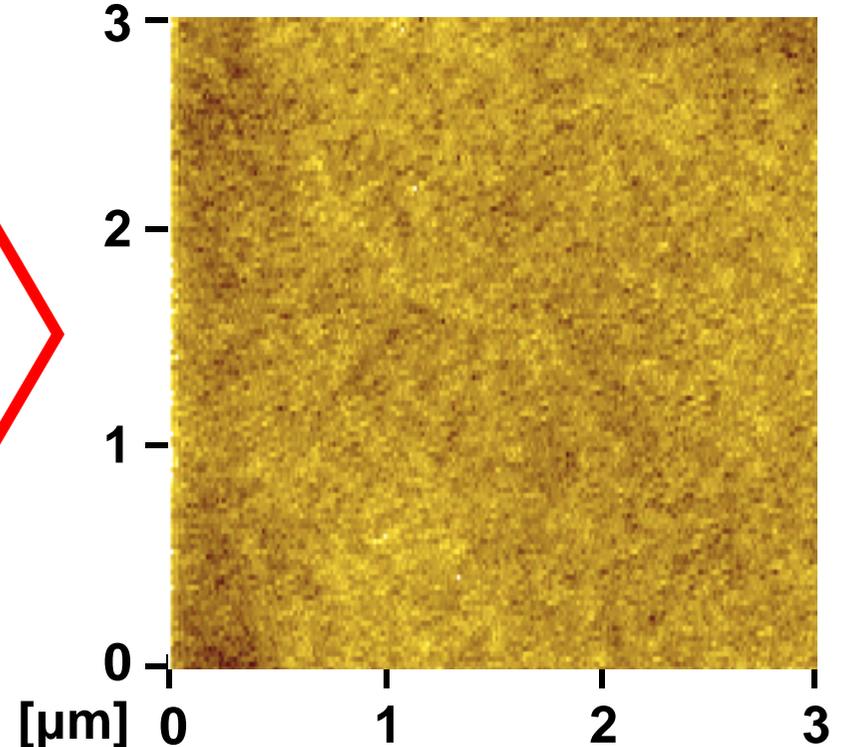
Xe /H₂
Plasma Treatment
Xe(95%)
/ H₂(10%)
266 Pa
400 °C
3 minutes

before flattening



Ra = 0.12 nm

after flattening



Ra = 0.068 nm

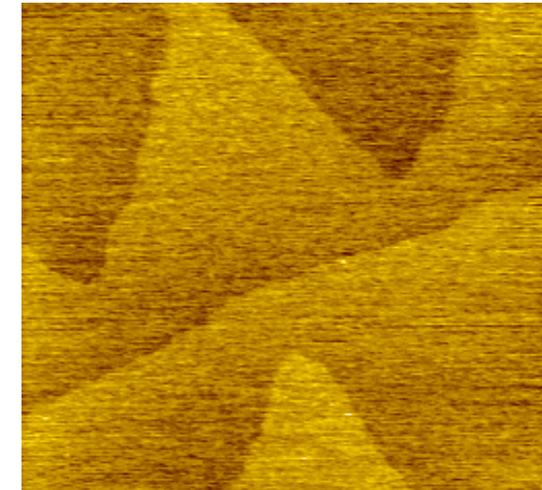
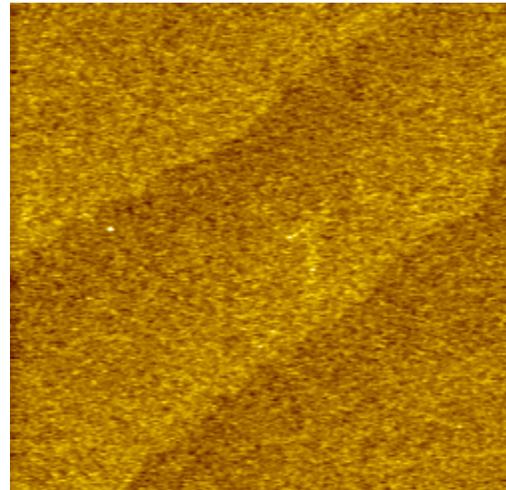
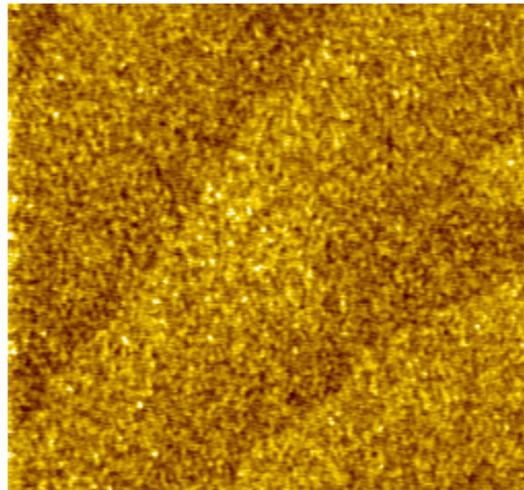
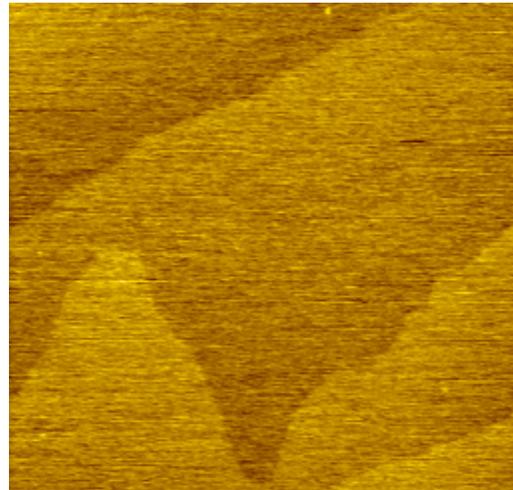
原子オーダー平坦Si表面へのウェット洗浄の影響

初期表面状態

従来のRCA
洗浄

室温3工程
洗浄

大気と光遮断の
室温3工程洗浄



Ra=0.03nm

Ra=0.12nm
激しく粗れる

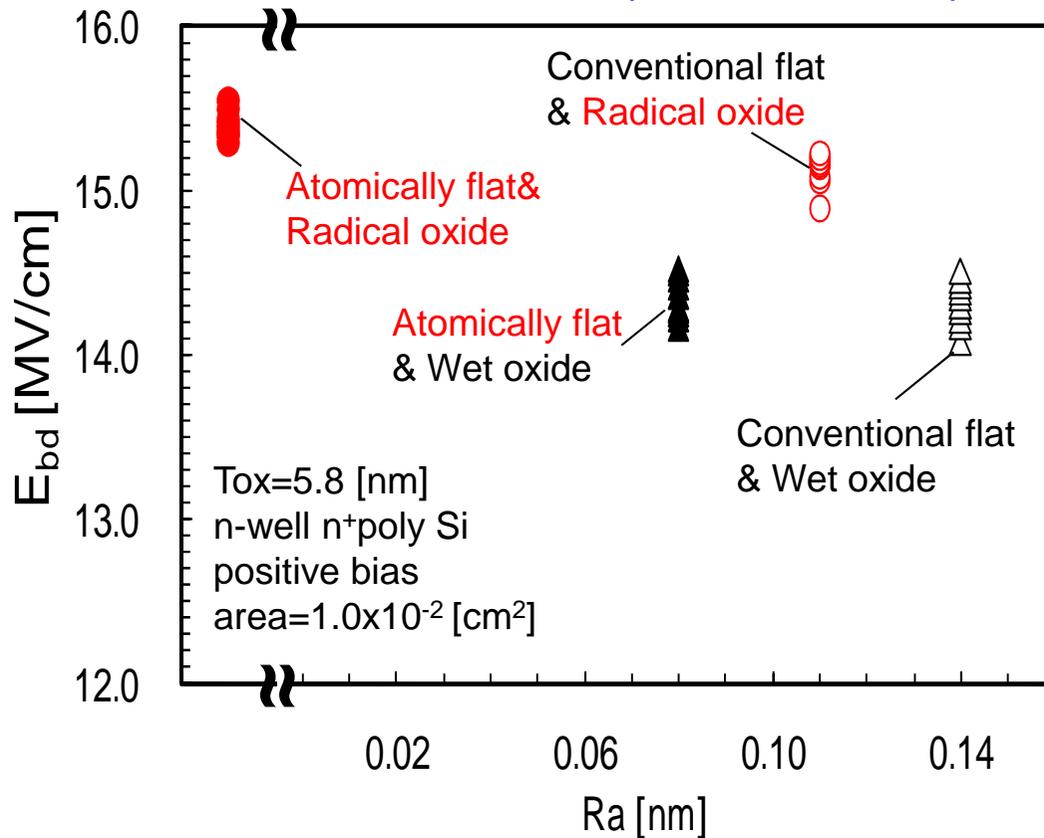
Ra=0.06nm
粗れる

Ra=0.03nm
原子オーダー平坦
性を維持

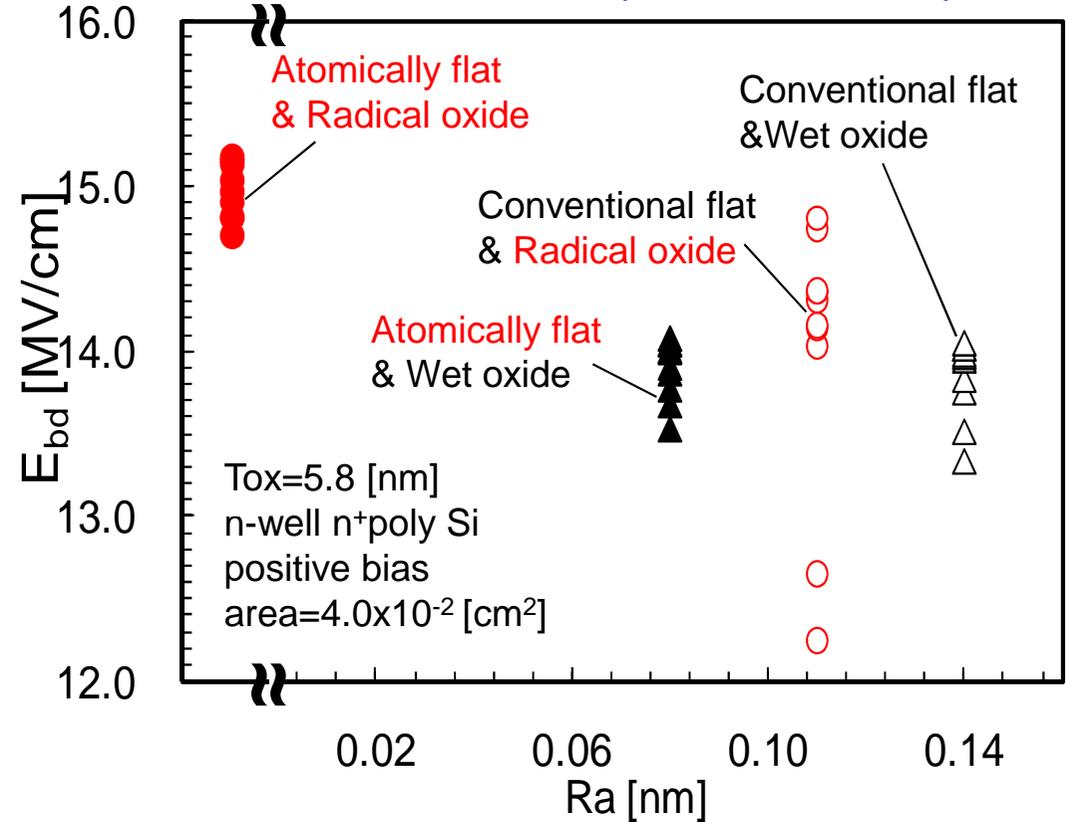
- 従来のRCA洗浄の場合、高温とアルカリ薬液を使うため、原子オーダー平坦表面を維持できない
- 大気と光遮断の室温三工程洗浄の場合、原子オーダー平坦表面を維持できる

原子オーダ平坦表面とラジカル酸化・窒化を組み合わせると 絶縁耐圧 (E_{bd}) が向上し、ばらつきも激減

ダイオード面積 = $1 \times 10^{-2} \text{ cm}^2$
(1mm × 1mm)



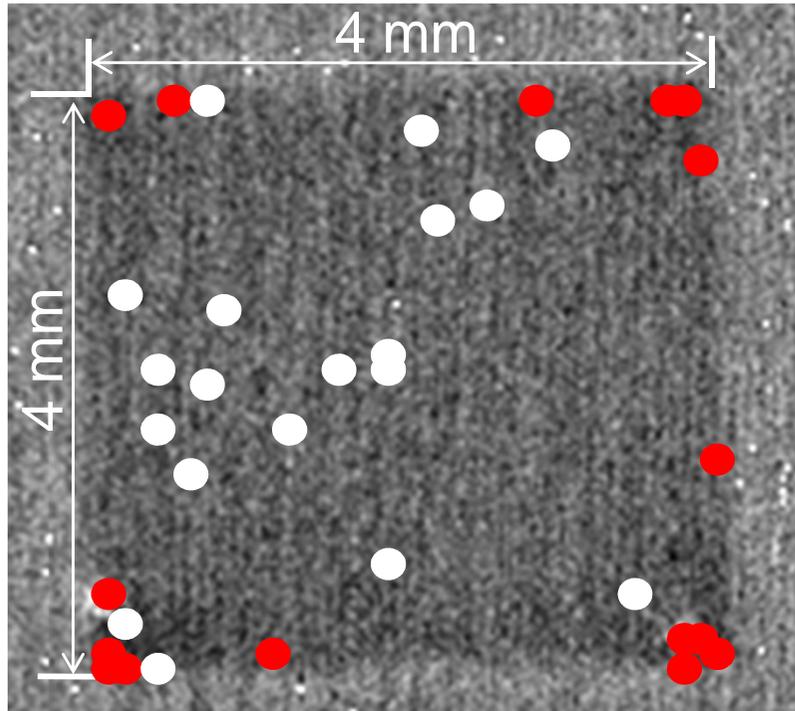
ダイオード面積 = $4 \times 10^{-2} \text{ cm}^2$
(2mm × 2mm)



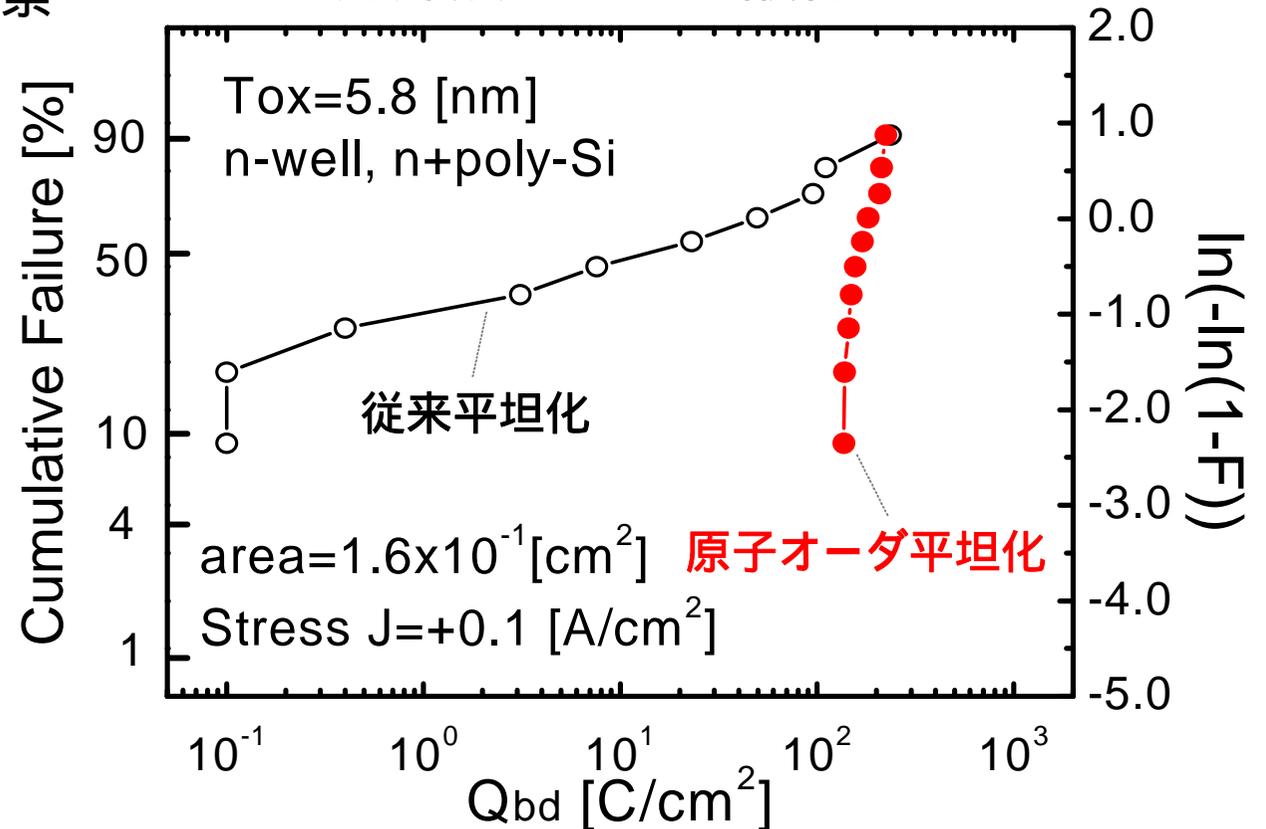
高性能化と同時にバラツキを低減させるには、原子オーダ平坦表面
とラジカル酸化・ラジカル窒化の組み合わせ必須

原子オーダ平坦界面と凸凹界面を有するSiO₂膜の破壊箇所の比較

Q_{bd} 測定サンプルの破壊箇所の観察



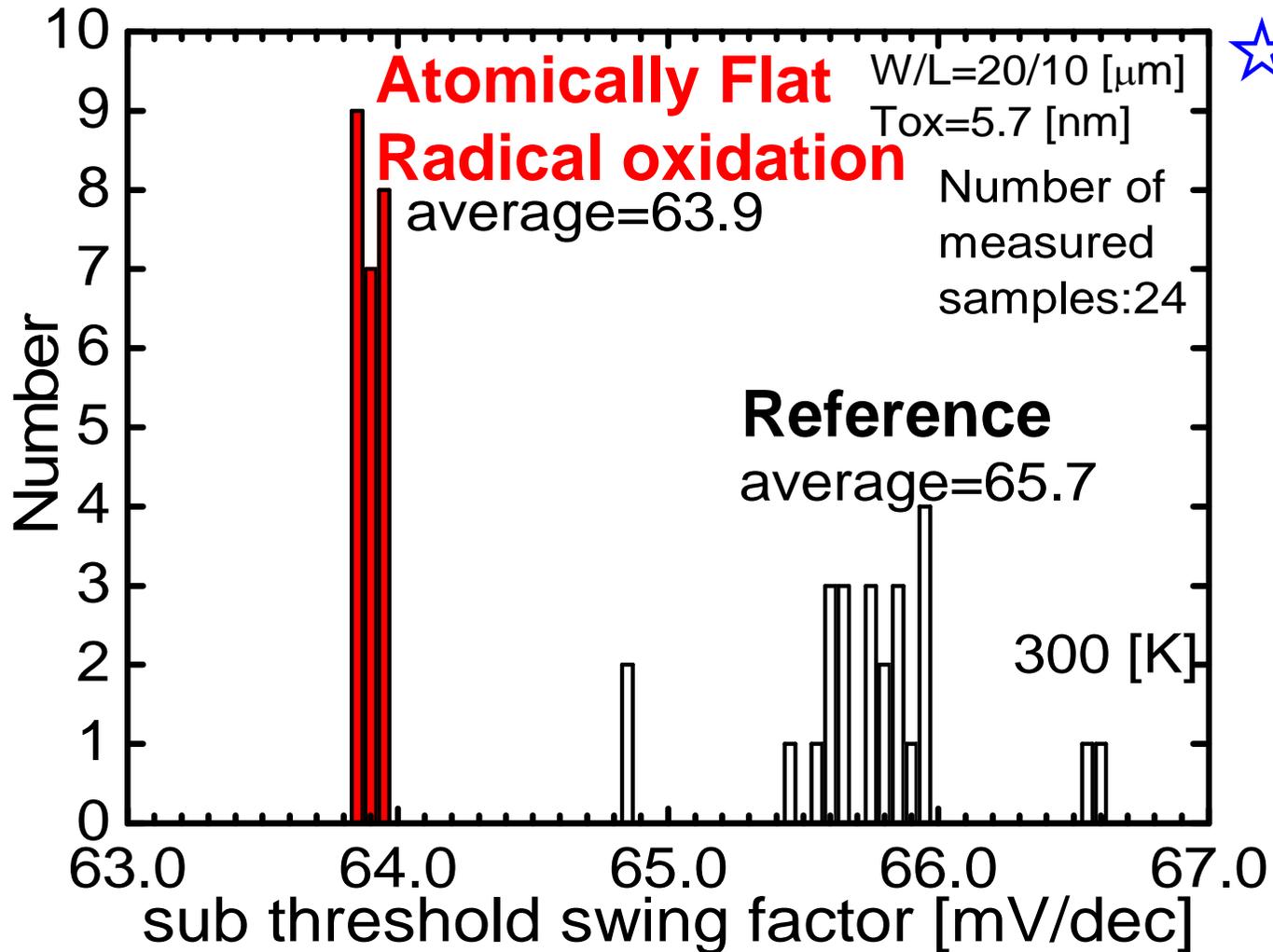
ゲート絶縁膜: ラジカル酸化



- 界面ラフネスが大きい場合、破壊箇所がゲート領域内に発生する
- 原子オーダ平坦化の場合、破壊箇所がゲート領域のエッジとコーナーに発生する

⇒ 界面の原子オーダ平坦化が電界集中の抑制に非常に重要

Subthreshold swing factor

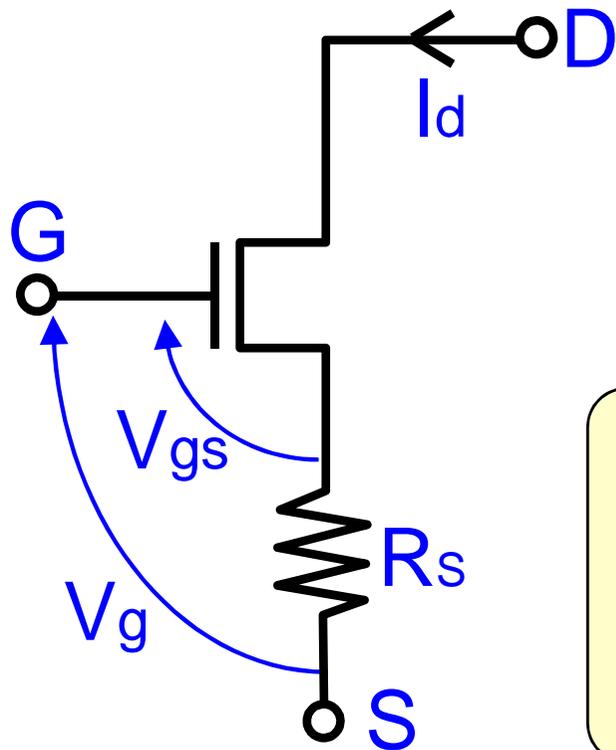


- ☆ 原子オーダ平坦表面とラジカル酸化・ラジカル窒化の組み合わせは
 - ⇒ 高性能化と同時に
 - ⇒ バラツキの徹底的削減
 - ⇒ 誤動作起こさず電源電圧低減
 - ⇒ 低消費電力化

near ideal S-factor (60 mV/dec) is obtained with much smaller Fluctuation

ソース・ドレイン直列抵抗低減

ソース電極直列抵抗の電流駆動能力劣化への影響



$$I_d = g_{mi} V_{gs}, \quad V_{gs} = V_g - R_s I_d$$

$$I_d = g_{mi} (V_{gs} - R_s I_d), \quad I_d = \frac{g_{mi}}{1 + R_s g_{mi}} \cdot V_g$$

$$G_{meff} = \frac{g_{mi}}{1 + R_s g_{mi}} = \begin{cases} g_{mi} : R_s g_{mi} \ll 1 \\ \frac{1}{R_s} : R_s g_{mi} \gg 1 \end{cases}$$

R_s が大きくて、 $R_s g_{mi} \gg 1$ となると μ_{eff} や ϵ_{ox} をいくら大きくしても動作速度は速くならない!!

$$\text{遅延時間} = \begin{cases} \frac{C_L}{g_{mi}} : R_s g_{mi} \ll 1 \\ R_s C_L : R_s g_{mi} \gg 1 \end{cases}$$

ソース電極・ドレイン電極の直列抵抗の影響

飽和ドレイン電流: I_D

$$I_D = \frac{\mu W}{2 L T_{ox}} \varepsilon (V_{GS} - V_{TH})^2$$

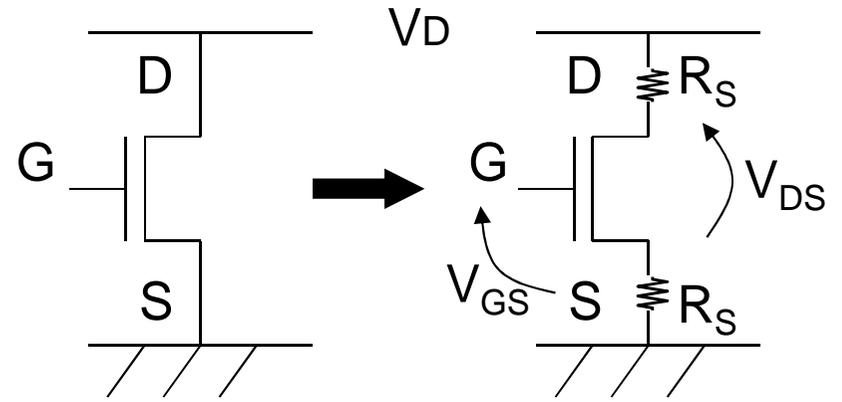
ここで、ドレイン電流が V_{GS} 、 V_{DS} のみによる関数として、直列抵抗が入った場合を考慮し V_{GS} 、 V_{DS} を以下のようにして計算を行った

$$V_{GS} = V_G - R_S I_D$$

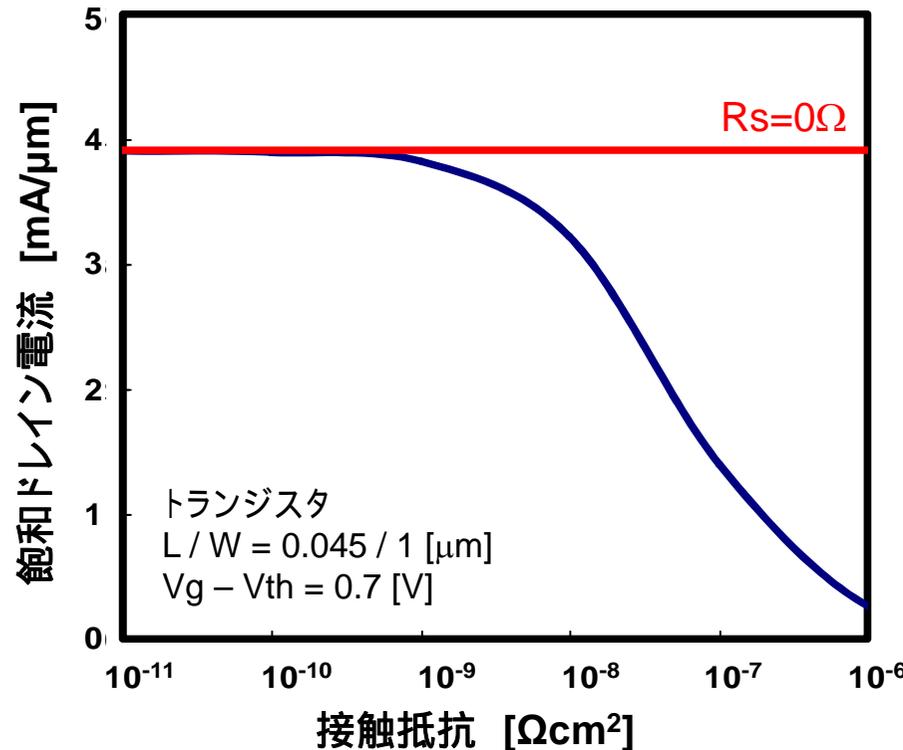
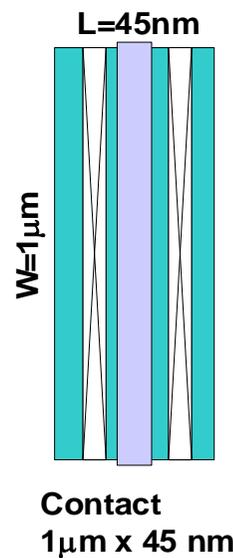
$$V_{DS} = V_D - 2R_S I_D$$

直列抵抗が存在するとトランジスタの電流駆動能力が大きく劣化

⇒ MOSトランジスタの性能を最大限発揮させるにはコンタクト抵抗率を $1 \times 10^{-9} \Omega\text{cm}^2$ 以下にしなければならない。



飽和ドレイン電流 VS 接触抵抗

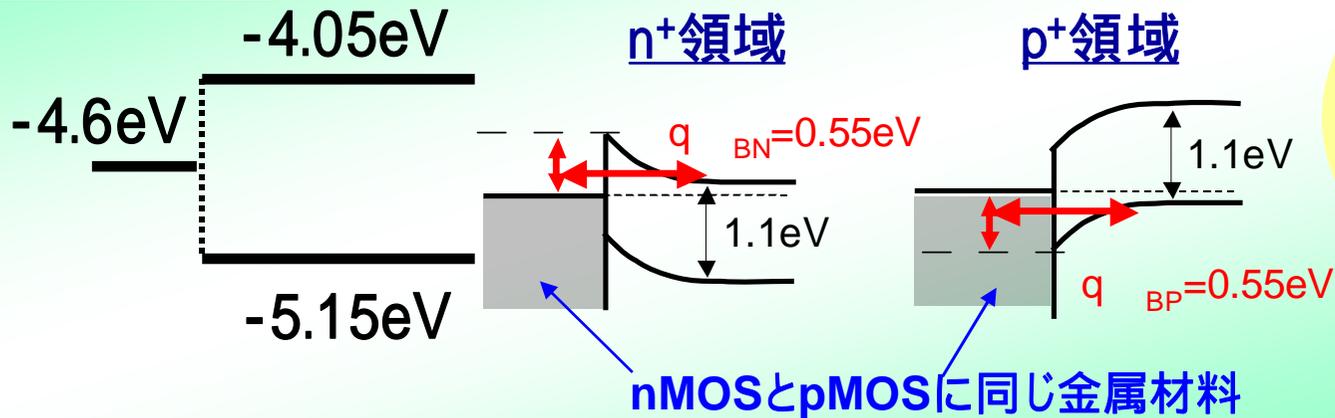


n⁺領域、p⁺領域 : 接触抵抗低減

$1 \times 10^{-8} \Omega\text{cm}^2$ $1 \times 10^{-10} \Omega\text{cm}^2$: 接触抵抗

$$R_s = R_c + R_{n^+ \cdot p^+} \quad (R_c \quad R_{n^+ \cdot p^+})$$

従来の CMOS

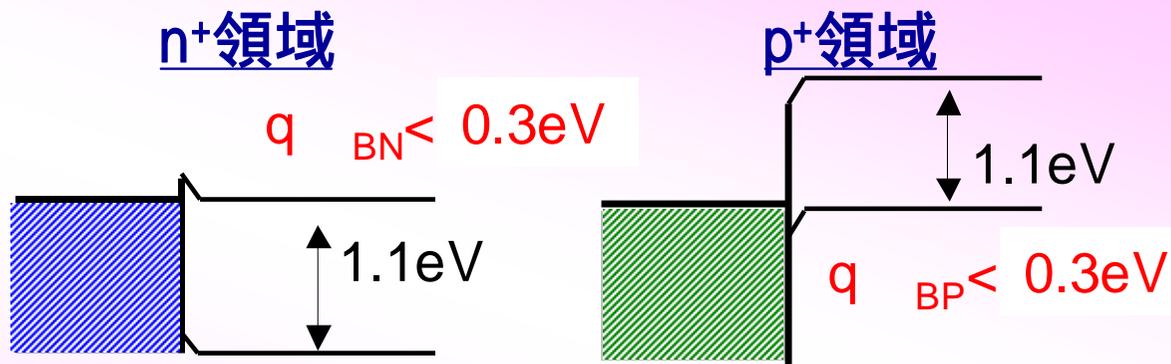


バリアハイト

$$R_c \propto \exp \left[\frac{4 \sqrt{m_n \epsilon_s}}{\hbar} \left(\frac{\phi_b}{\sqrt{N}} \right) \right]$$

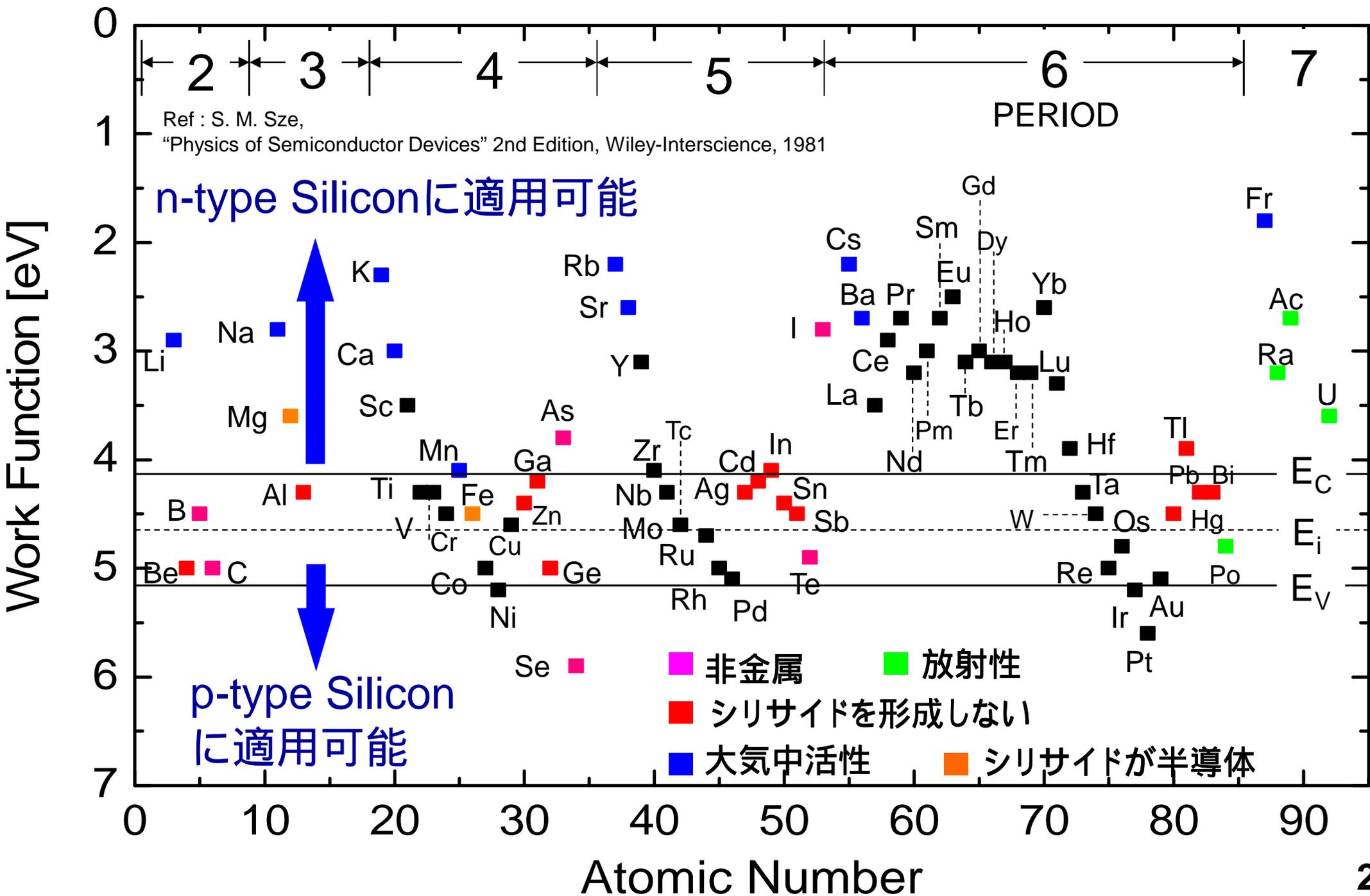
電子密度

新技術



n⁺領域とp⁺領域にそれぞれ低いバリアハイト ($\phi_B < 0.3 \text{ V}$) を有する最適な金属材料を導入することにより、低接触抵抗を実現

原子番号と仕事関数



p⁺領域に対するコンタクト抵抗率の低減

	W. F. [eV]	Silicide	Φ_{bn} [eV]	Conductivity [$\mu\Omega\text{cm}$]	Si Consumption case in which metal is 1	Nucleation Phase	Final Phase
Co	5.0	CoSi	0.68	170	1.81	Co ₂ Si	CoSi ₂
		CoSi ₂	0.64	~25	3.61		
Ni	5.2	NiSi	0.65	~20	1.83	Ni ₂ Si	NiSi ₂
		NiSi ₂	0.66	~45	3.66		
Pd	5.2	Pd ₂ Si	0.71	30~40	0.68	Pd ₂ Si	Pd ₂ Si
		PdSi			1.36		
Ir	5.3	IrSi	0.93		1.42	Ir ₂ Si	IrSi
Pt	5.7	PtSi	0.88	28~35	1.32	Pt ₂ Si	PtSi

[References]

I. Ohdomari et al., "Vacuum", vol. 22, pp. 411, 1979
 P. S. Ho et al., "Thin films and interfaces", North-Holland, 1982
 O. R. Champbell et al., "Thin films and interfaces II", North-Holland, 1984
 K.N. Tu, J. Appl. Phys., vol. 53, pp. 428, 1982
 D. Levy et al., Appl. Phys A, vol. 35, pp. 141, 1984
 M. Tinani et al., J. Vac. Sci. Technol. B, vol. 19, pp. 376, 2001
 H. N. Lin et al., Appl. Phys. Lett., vol. 61, pp. 2700, 1992
 R. M. Walser et al., Appl. Phys. Lett., vol. 28, pp. 624, 1976

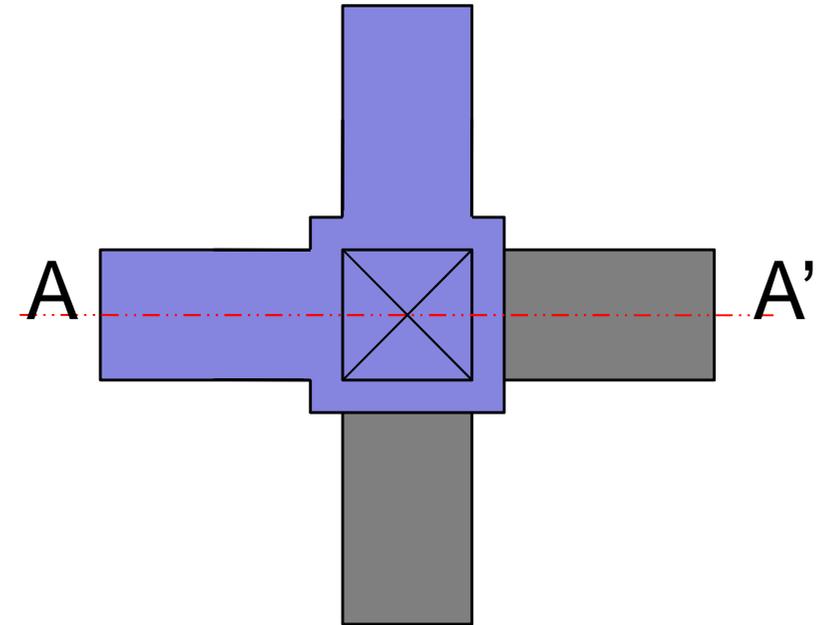
G. Ottaviani, J. Vac. Sci. Technol., vol. 16, pp. 1112, 1979
 K. Maex et al., "Properties of Metal Silicides", Inspec, 1995
 S. M. Sze, "Physics of Semiconductor Devices 2nd Ed." Wiley-Interscience, 1981
 P. S. Ho, J. Vac. Sci. Technol. A, vol. 1, pp. 745, 1983
 M. Leibr et al., Phys. Rev. Lett., vol. 54, pp.2139, 1985
 S.P. Murarka, J. Vac. Sci. Technol., vol. 17, pp. 775, 1980
 G. Ottaviani et al., Phys. Rev. B, vol. 34, pp.3354, 1981

p⁺領域にダメージを与えない低抵抗コンタクト形成プロセスフロー

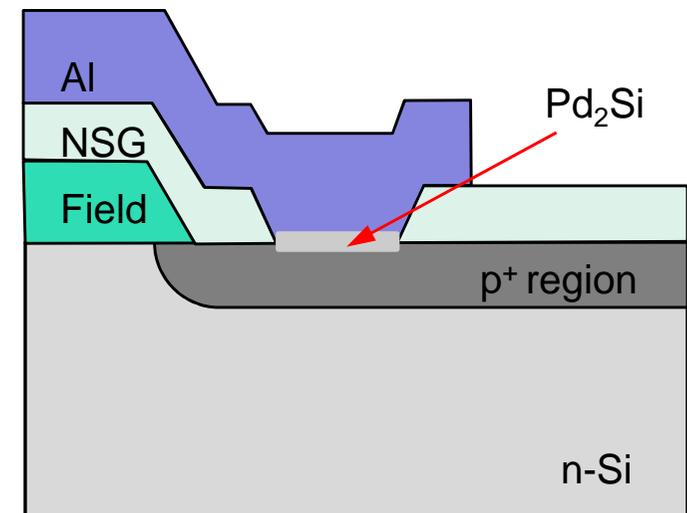
1. フィールド酸化
Wet酸化 1,000°C, 100 nm
2. 素子領域形成
3. イオン注入
BF₂ : 25 keV, 6x10¹⁵ cm²
4. 層間絶縁膜形成
5. コンタクト領域形成
6. ケミカル酸化 (オゾン水酸化)
7. 大気遮断N₂ 雰囲気プロセス
8. Pd 成膜 20 nm
9. 活性化 & シリサイド アニール
550°C, 3 hrs
10. Al形成 (真空蒸着)
11. Al / Pd₂Si 電極形成

$$R_C = 8.0 \times 10^{-10} \Omega\text{cm}^2$$

デバイス構造 (上面)



AA'断面



n⁺領域に対するコンタクト抵抗率の低減

反応性が高過ぎる	La, Ce, Pr, Nd, Eu
希少であり高価	Sc, Dy, Tb, Tm, Lu
ターゲットの低酸素化が困難	Sc, Y, Eu, Lu
その他の理由	Pm (安定同位体存在せず) Gd (室温で強磁性体)
使用可能元素 (仕事関数 [eV])	Sm (2.7), Er (3.2), Ho (3.1), Yb (2.6)

17種類ある希土類元素から、最終的に4種類の金属を選定

Sm: サマリウム(1.79)

Er: エルビウム(1.74)

Ho: ホルミウム(1.75)

Yb: イッテルビウム(1.94)

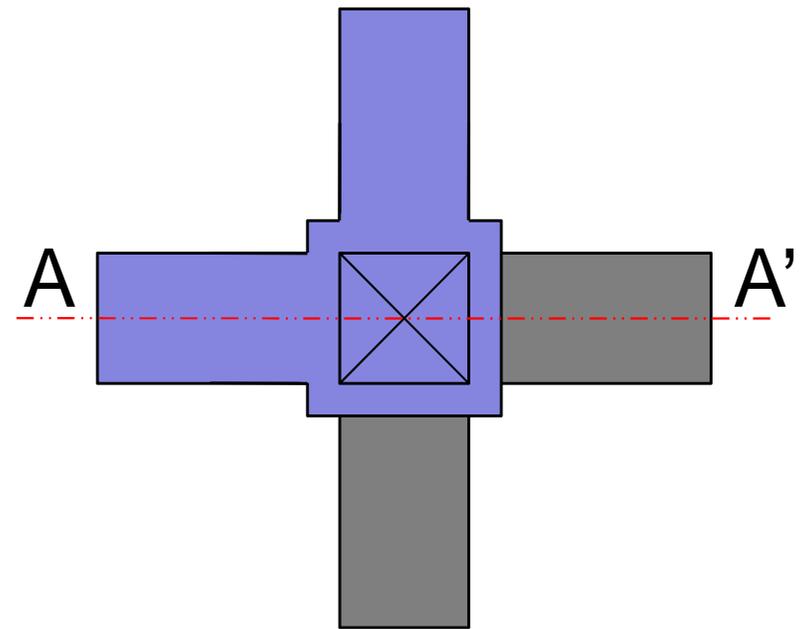
ErSi_xによる低抵抗コンタクト形成プロセスフロー

1. フィールド酸化 Wet 1,000°C, 100 nm
2. 素子領域形成
3. イオン注入 As⁺: 下表参照
4. 層間絶縁膜形成: NSG 400°C, 100 nm
5. コンタクト領域形成
6. 活性化アニール 950°C, 5 sec
7. ケミカル酸化 (オゾン水酸化)

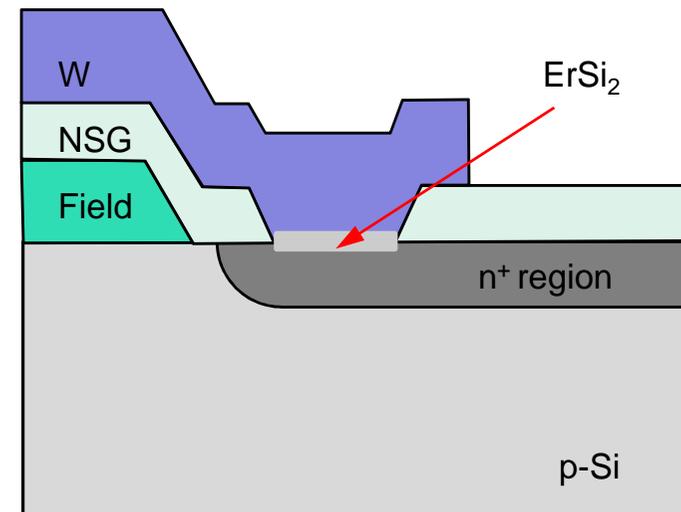
大気遮断N₂ 雰囲気プロセス

8. ケミカル酸化膜除去
9. W/Er 成膜 80/5 nm @ 1.33 Pa
10. シリサイドアニール 500°C, 2 min
11. W / ErSi₂ 電極形成

デバイス構造 (上面)



AA'断面



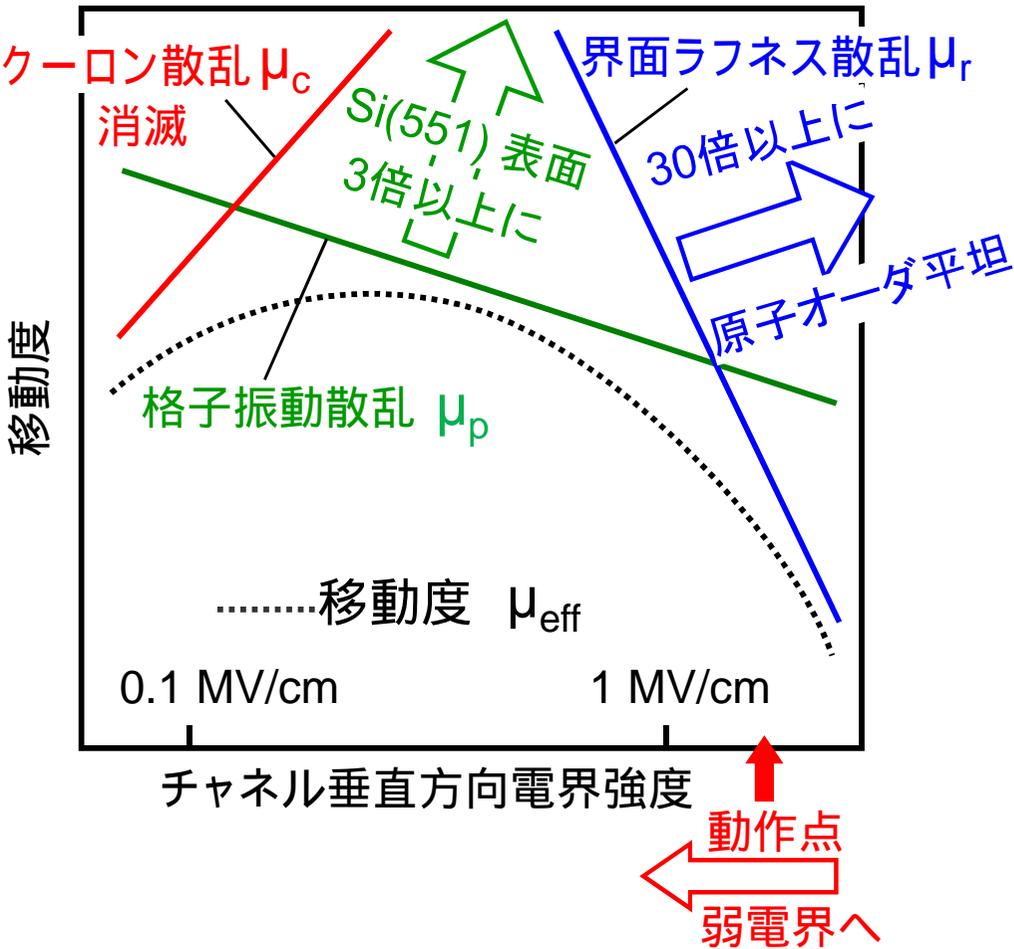
* As ⁺ イオン注入条件	接触抵抗 [Ωcm^2]
25 keV $2 \times 10^{15} \text{ cm}^{-2}$	6.9×10^{-9}
10 keV $2 \times 10^{15} \text{ cm}^{-2}$	9.7×10^{-10}
5 keV $1 \times 10^{15} \text{ cm}^{-2}$	$8.0 \sim 8.3 \times 10^{-10}$
5 keV $2 \times 10^{15} \text{ cm}^{-2}$	8.4×10^{-10}
5 keV $5 \times 10^{15} \text{ cm}^{-2}$	$7.0 \sim 8.5 \times 10^{-10}$

シリコン基板面方位の転換 と

Accumulation Mode MOSトランジスタ

電子、ホールのチャネル移動度 μ_{eff} の向上

キャリアのチャネル移動度の チャネル垂直方向電界強度依存性



pMOS : (551)面<110>方向の2次元平面形状
Accumulation Mode MOS

nMOS : (551)表面と側壁の(100)表面にチャ
ネルを備える3次元立体構造
Accumulation Mode MOS

Accumulation Mode MOSの導入でチャ
ネル垂直方向電界強度は1MV/cm以上
低くなり、クーロン散乱は原理的に存在し
なくなる

(551)面<110>方向でホール移動度はシリ
コン結晶中最大

(551)面と(100)面側壁を組み合わせること
でpMOSと同じ寸法で同じ電流駆動能力
を有するnMOS

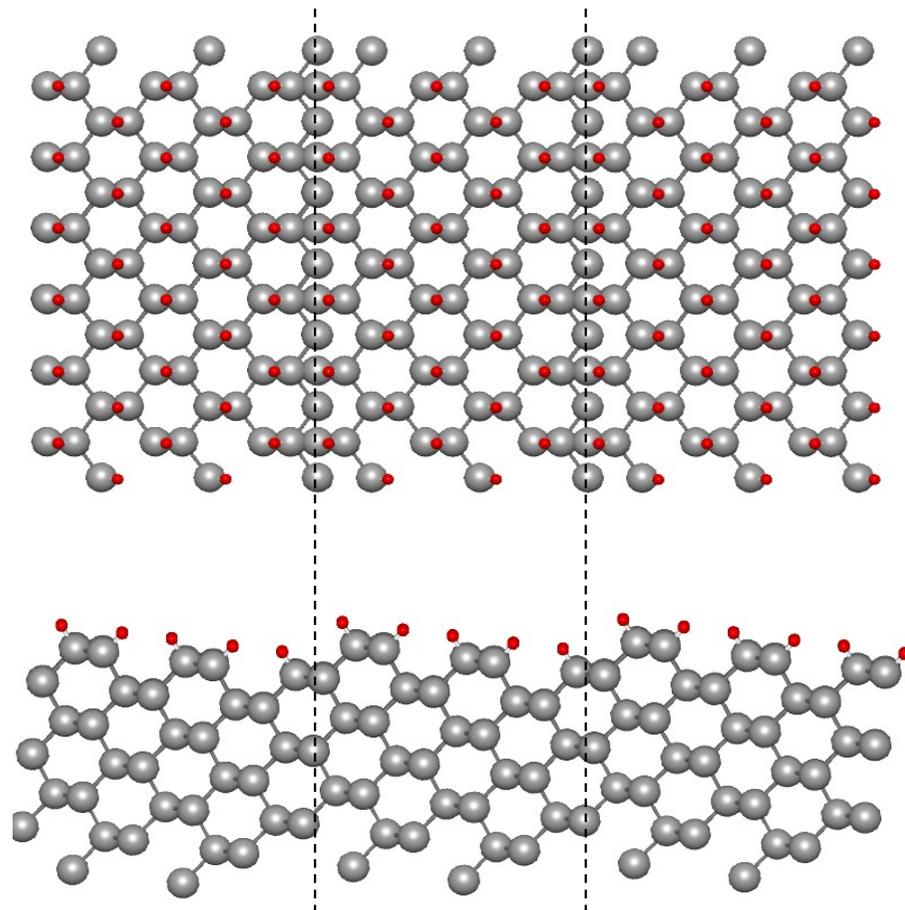
原子オーダ平坦界面の導入で界面ラフ
ネス散乱は1/30以下に低減し、実効的
に存在しなくなる

μ_{eff} 可能な限り向上

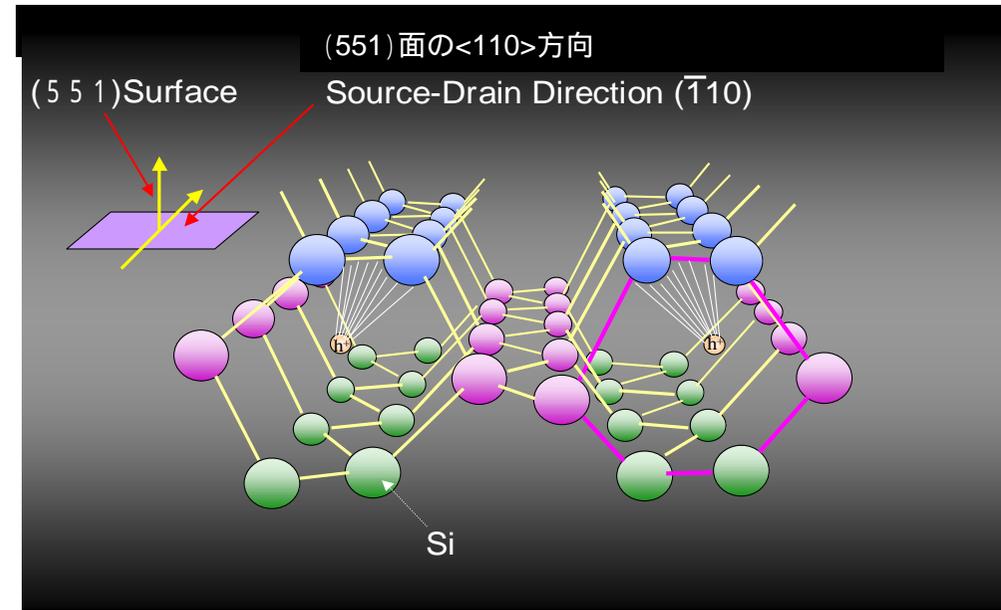
$$\frac{1}{\mu_{\text{eff}}} = \frac{1}{\mu_c} + \frac{1}{\mu_p} + \frac{1}{\mu_r} \Rightarrow \mu_{\text{eff}} \approx \mu_p$$

シリコン(551)面

(551)面 \Rightarrow (110)面から $\langle 001 \rangle$ 方向へ 8° オフした面



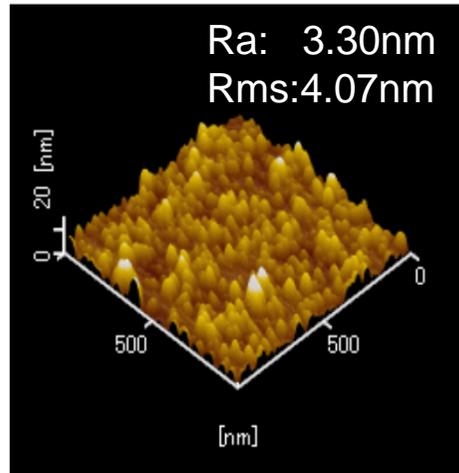
3原子で1テラス



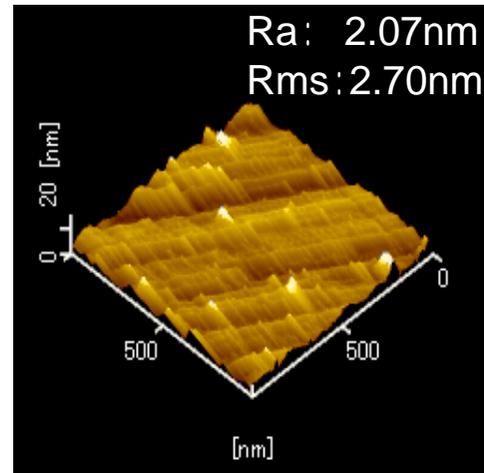
光と酸素の影響 ~ プロセス環境制御の重要性

アンモニア/H₂O (1/100), RT, 10min,

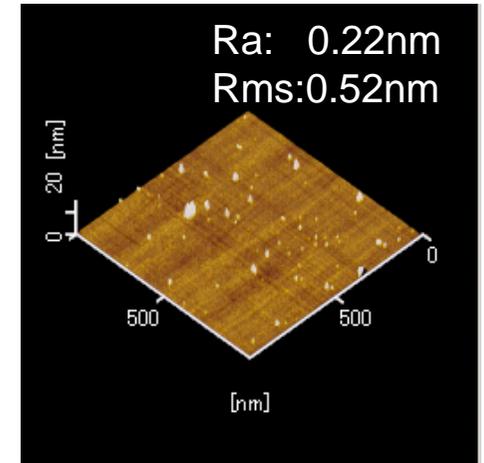
Cz-N(100)



Cz-N(110)

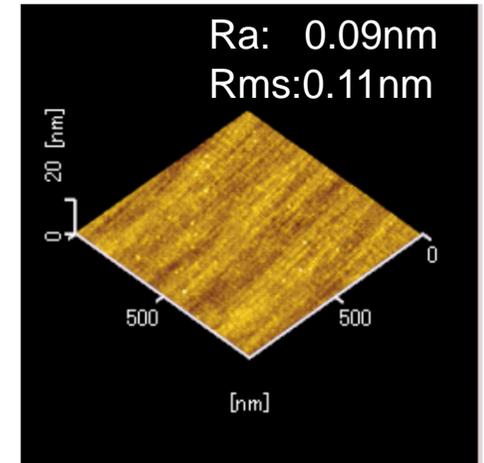
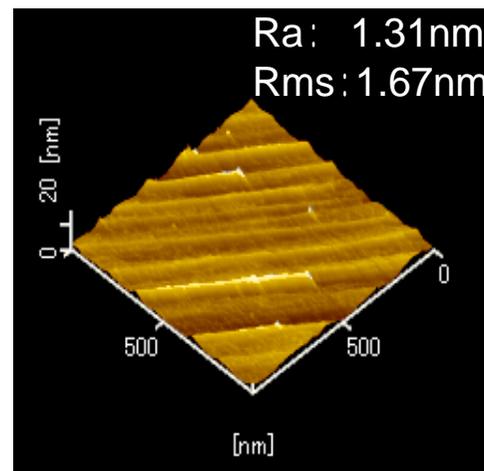
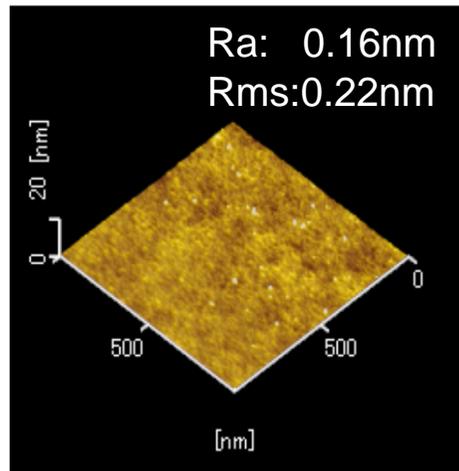


Cz-N(551)



空気雰囲気
酸素飽和超純水,
光照射 (10,000lx)

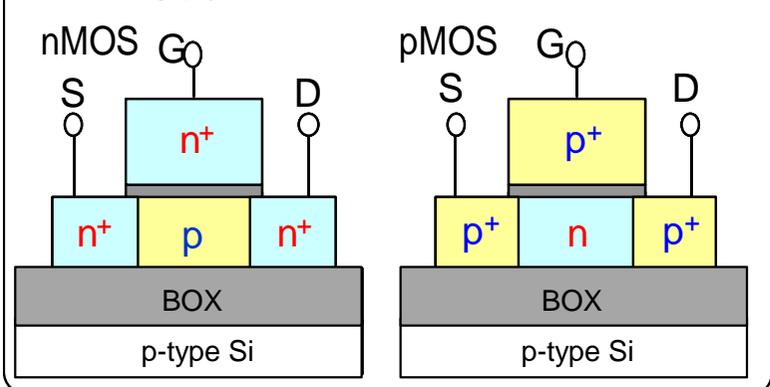
窒素雰囲気
水素添加超純水
(O₂: <1ppb),
遮光条件



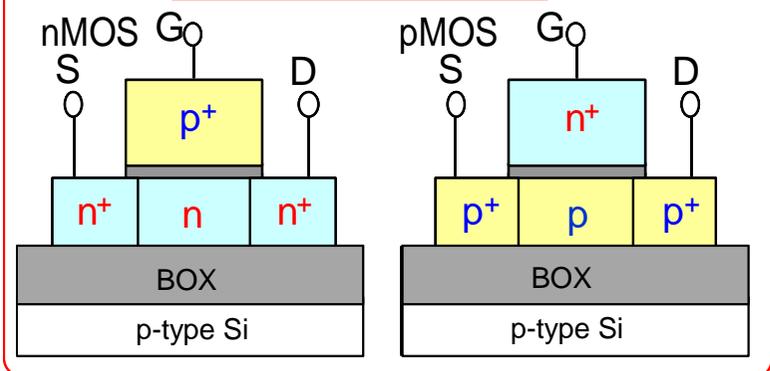
Si(100)面、(551)面ともに、アルカリ溶液でも溶存酸素・光が無ければラフネスは発生しない
 ⇨ 大気遮断・光遮断ウェットプロセス
 Si(551)面は(110)面に比べ、ラフネス増加が非常に小さい

Accumulation モードトランジスタ

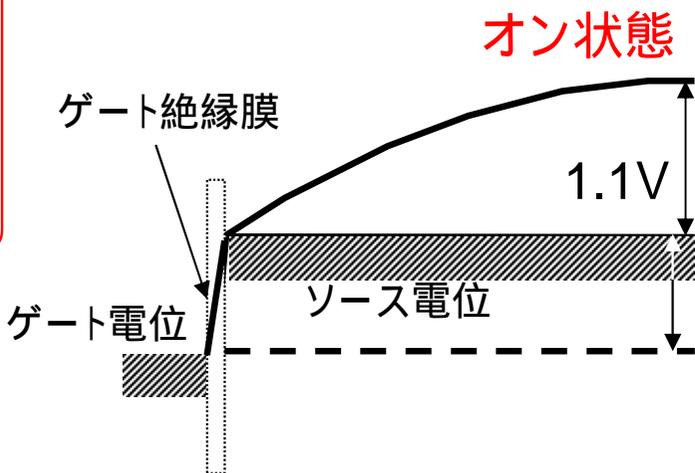
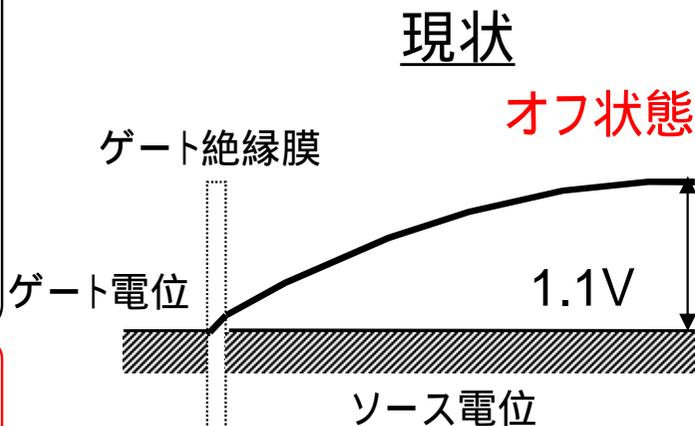
従来: Inversion デバイス



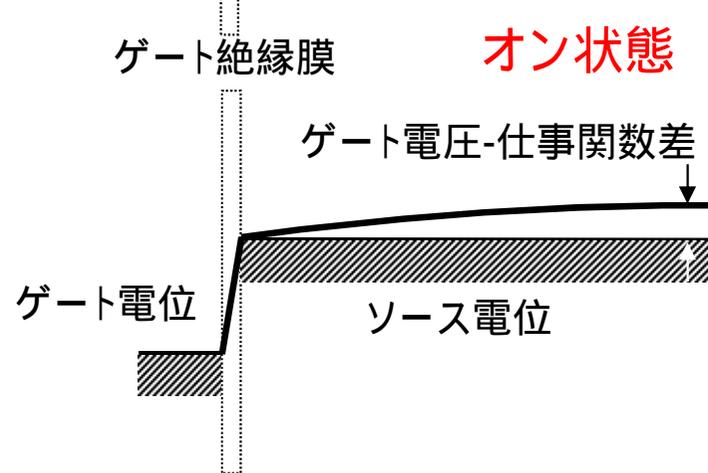
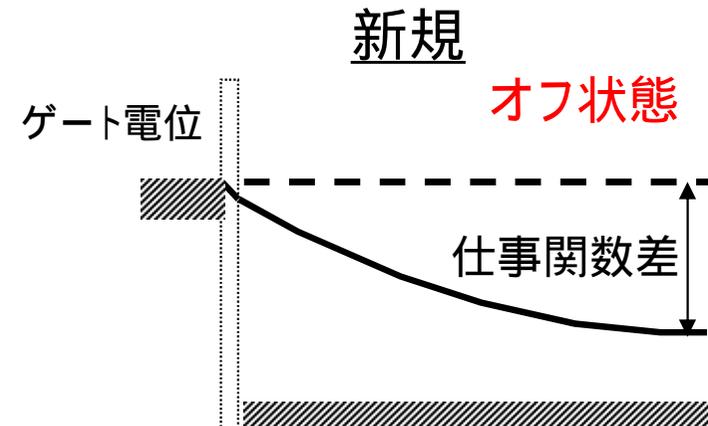
Accumulation デバイス



ゲート電極・ゲート絶縁膜・チャネル方向電位分布

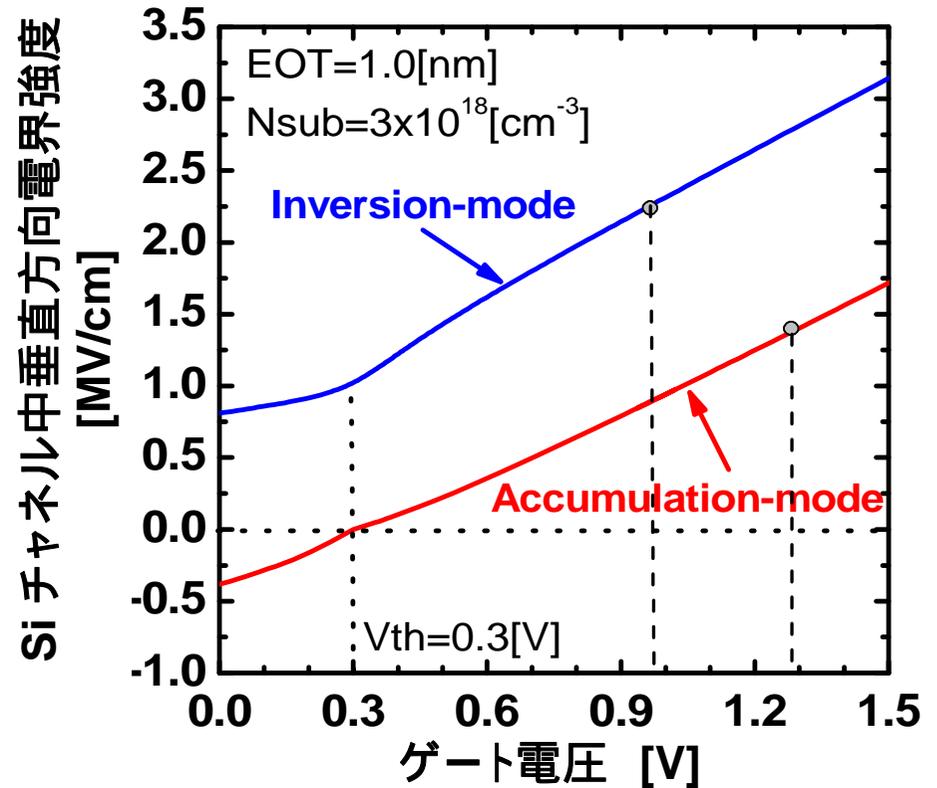
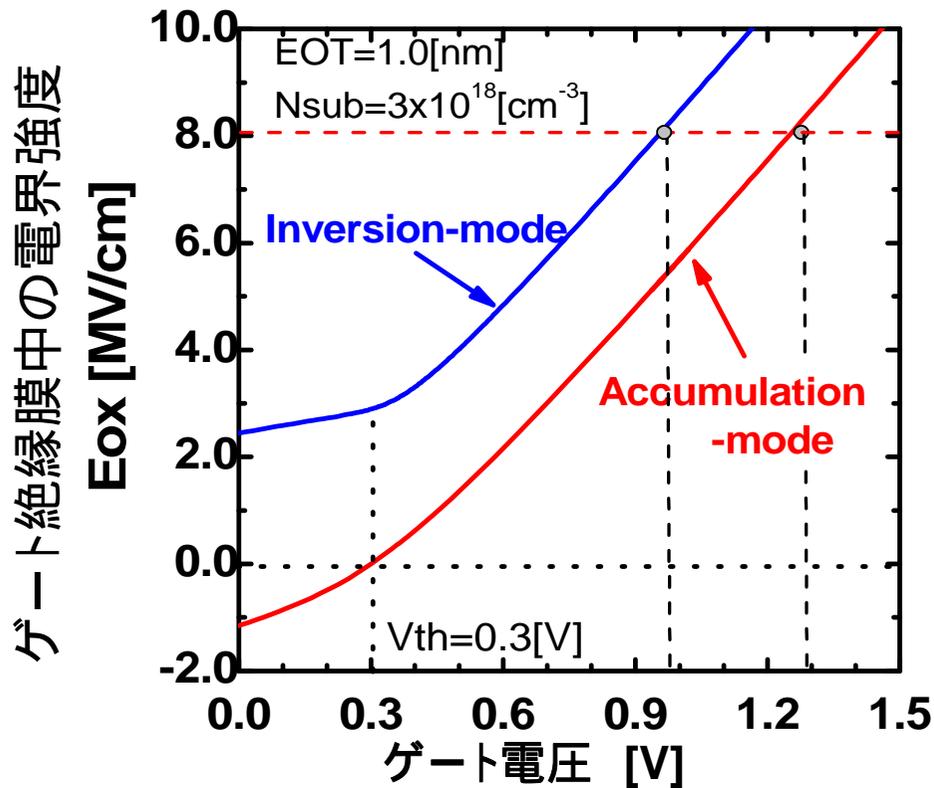


Inversion モードMOSでは、オン状態とオフ状態で、ゲート絶縁膜中とSiチャネル中の電界方向が同じ。



Accumulation モードMOSでは、オン状態とオフ状態で、ゲート絶縁膜中とSiチャネル中の電界方向が逆。

Accumulation モードMOSトランジスタの利点



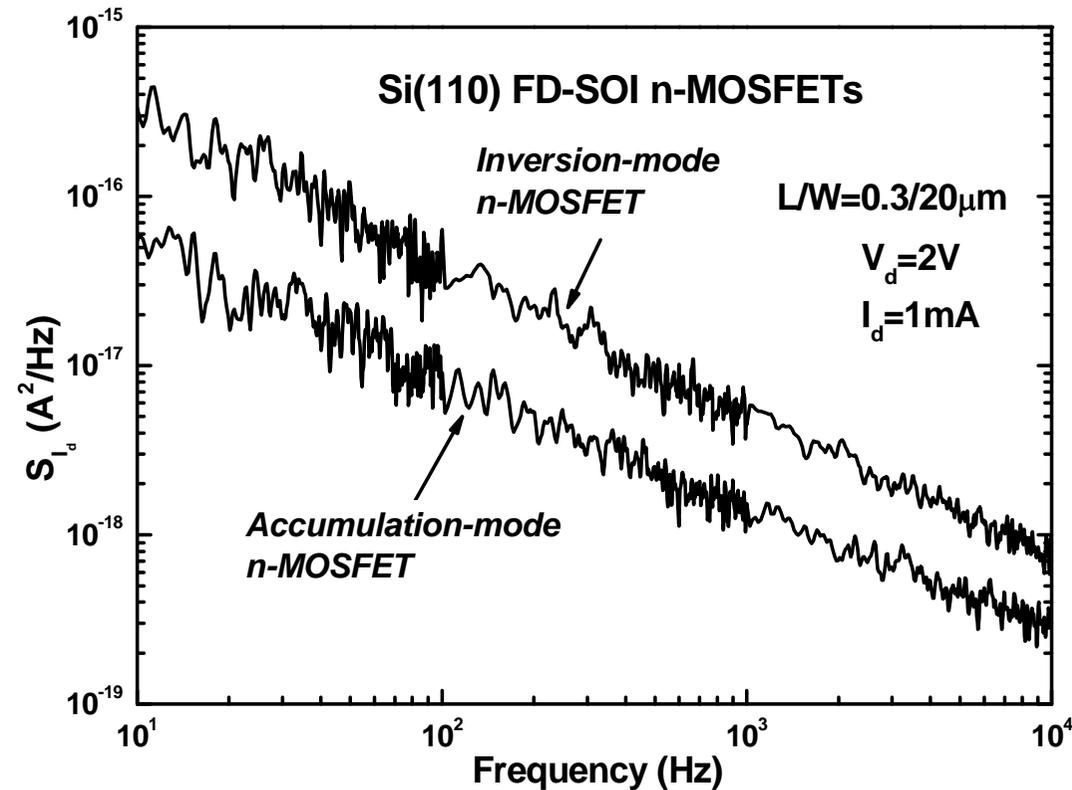
Accumulation型 : off時とon時で電界が逆
 最大印加電圧大, チャンネル垂直電界小

飽和電流換算での効果: $(V_{DDacc} - V_{th})^2 / (V_{DDinv} - V_{th})^2 \approx \underline{2.0}$

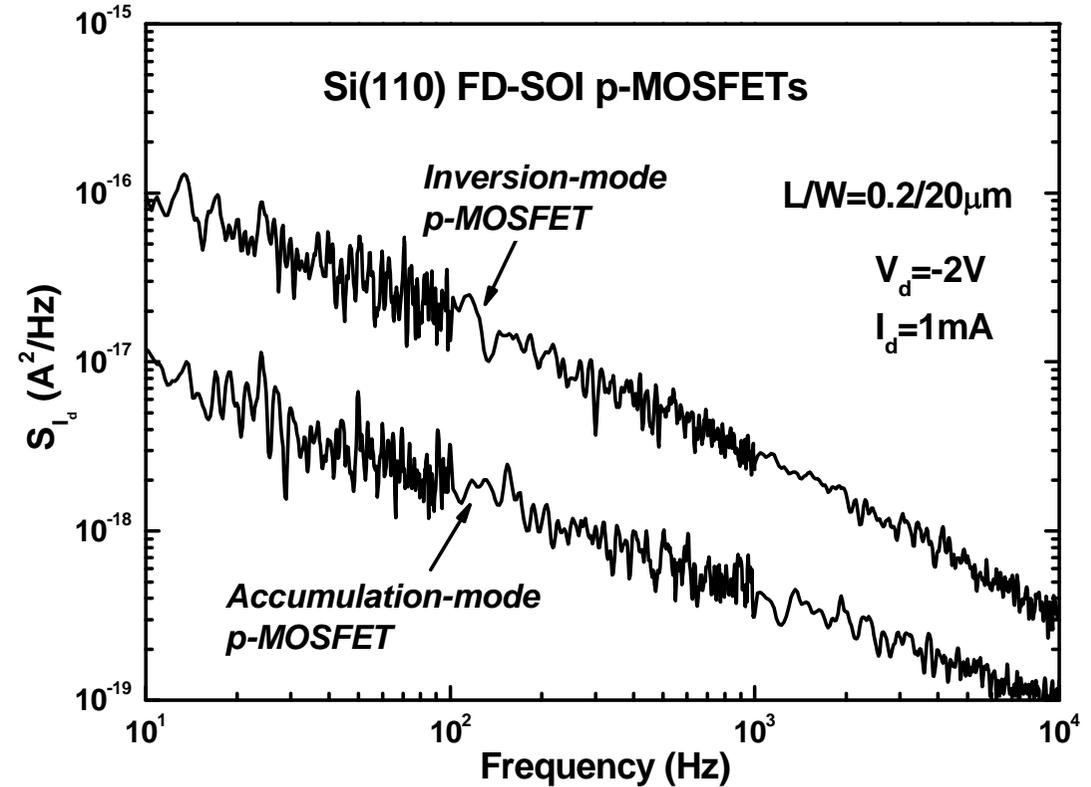
モビリティ improvement: $\mu_{acc} / \mu_{inv} = \underline{1.2}$

Inversion Mode と Accumulation Mode MOSFET の $1/f$ 雑音

nMOSFET



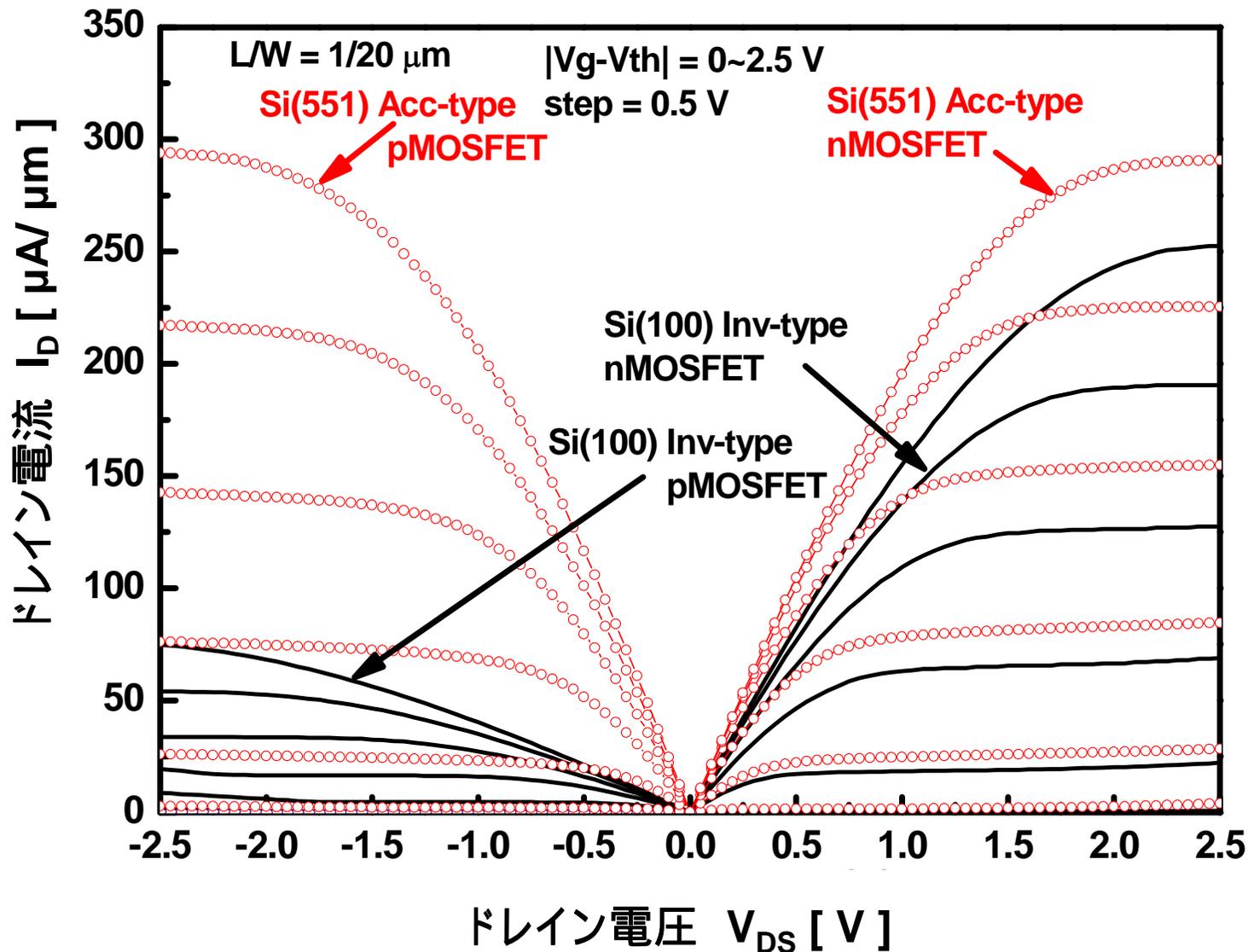
pMOSFET



$1/f$ noise of accumulation-mode MOSFET can be suppressed one order of magnitude compared to inversion-mode MOSFET.

バランスドCMOSの波及効果

(100)シリコン表面、(551)シリコン表面に形成された
平面形状nMOS, pMOSの電流電圧特性

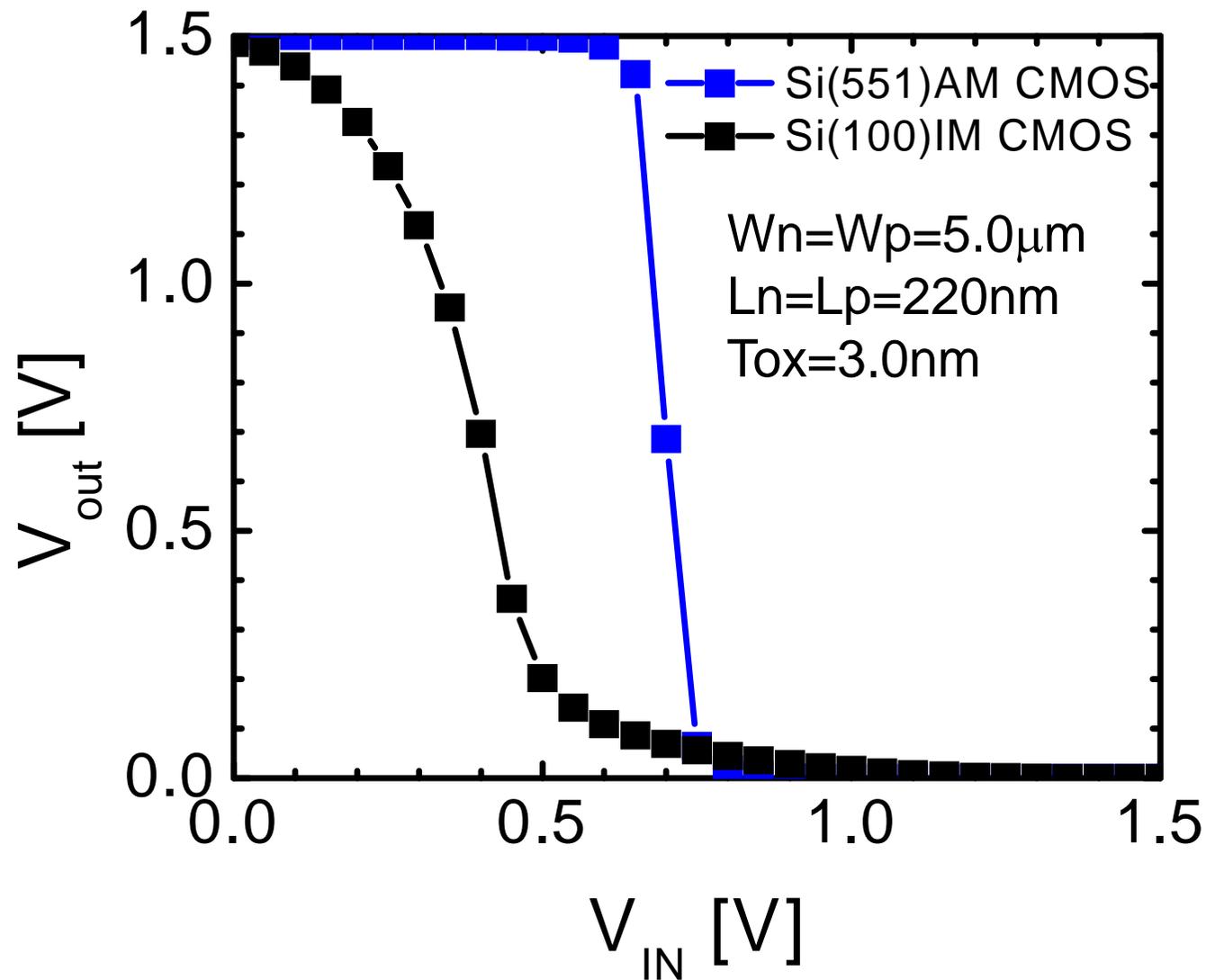


電流駆動能力

pMOS	nMOS
(100) surface Inversion	(100) surface Inversion
↓ 4 Times Increase ↓	↓ 1.2 Times Increase ↓
(551) surface Accumulation <110> direction	(551) surface Accumulation <100> direction

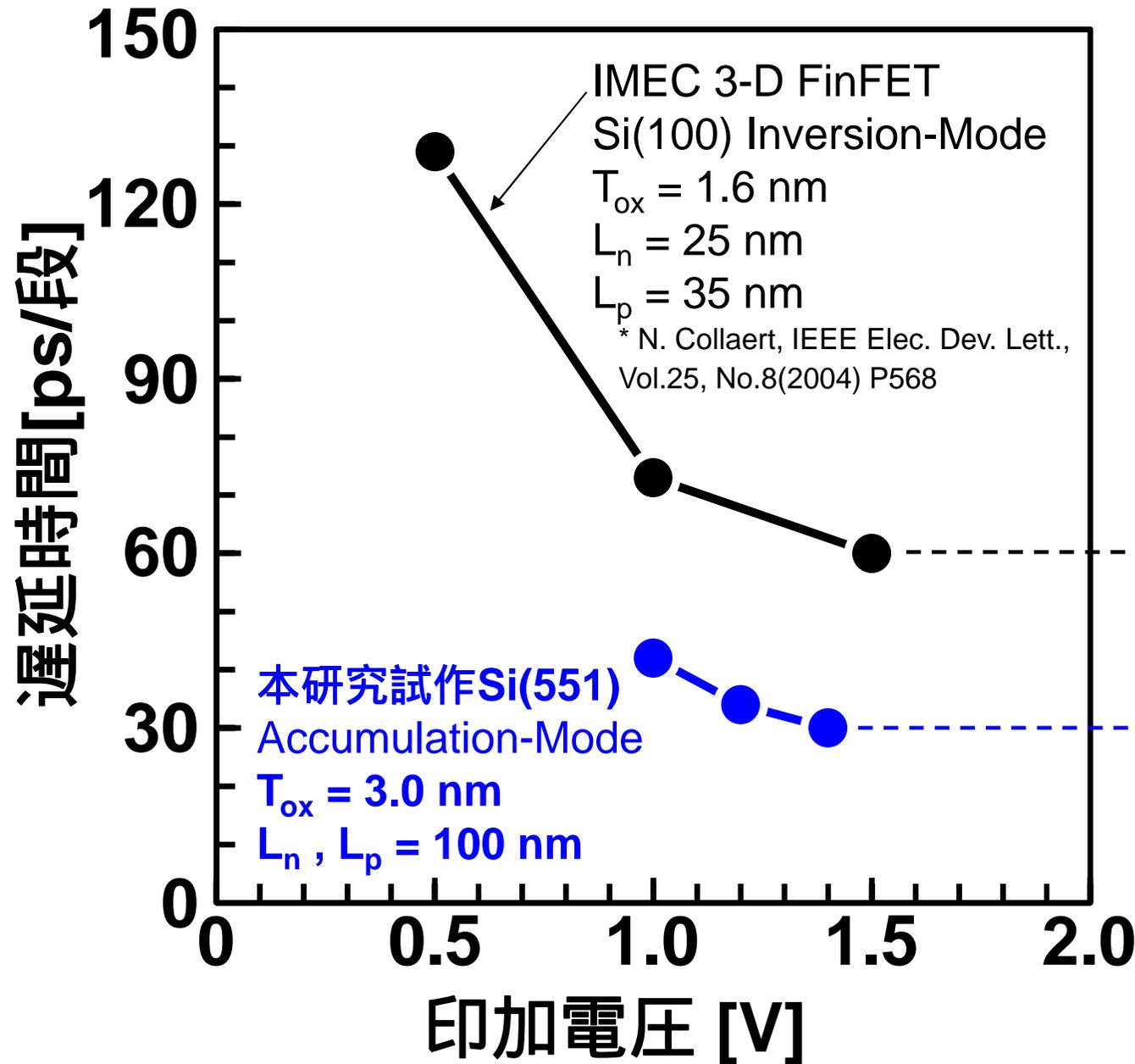
バランス

インバータ伝達特性比較



Si(551)面AM MOSFETはnMOSとpMOSが同じゲート幅でnMOSとpMOSの電流駆動能力がほぼ等しいため、バランスしたインバータの伝達特性が得られた。

CMOS リングオシレータ回路を用いたゲート遅延評価



100nmと大きいデバイス
スであるにもかかわらず、
VDD 1.4V で
ゲート遅延30psec

↓
超微細3次元立体
FinFETの
2倍の高速動作

(551)シリコン表面 AccumulationモードCMOS さらなる高性能化(シミュレーション)

		平面形状バランストCMOS on (551) SOI Accumulationモード nMOS Accumulationモード pMOS		
MOS トランジスタ	ゲート長	Ln = 220 nm Lp = 220 nm	Ln = 100 nm Lp = 100 nm	Ln = 45 nm Lp = 45 nm
	ゲート幅	Wn = 5 um Wp = 5 um	Wn = 5 um Wp = 5 um	Wn = 2 um Wp = 2 um
	ゲート絶縁膜	ラジカル酸化膜 (SiO ₂)	ラジカル酸化膜 (SiO ₂)	ラジカル窒化膜 (Si ₃ N ₄)
	ゲート絶縁膜厚さ	3.0 nm	3.0 nm	1.0 nm
	ゲート電極	Poly-Si	Poly-Si / Pd ₂ Si Poly-Si / Er ₂ Si	nMOS: Ni pMOS: Zr
	ソース/ドレイン電極	Al	Al	Cu
	ソース/ドレイン シリサイド	nMOS: W/ErSi ₂ pMOS: W/Pd ₂ Si	nMOS: W/ErSi ₂ pMOS: W/Pd ₂ Si	nMOS: W/ErSi ₂ pMOS: W/Pd ₂ Si
リングオシレ ータ	接続段数	51	251	501
	印加電圧	3.5 V	3.0 V	1.45 V
	ゲート遅延時間	35 psec	15 psec	1.5 psec

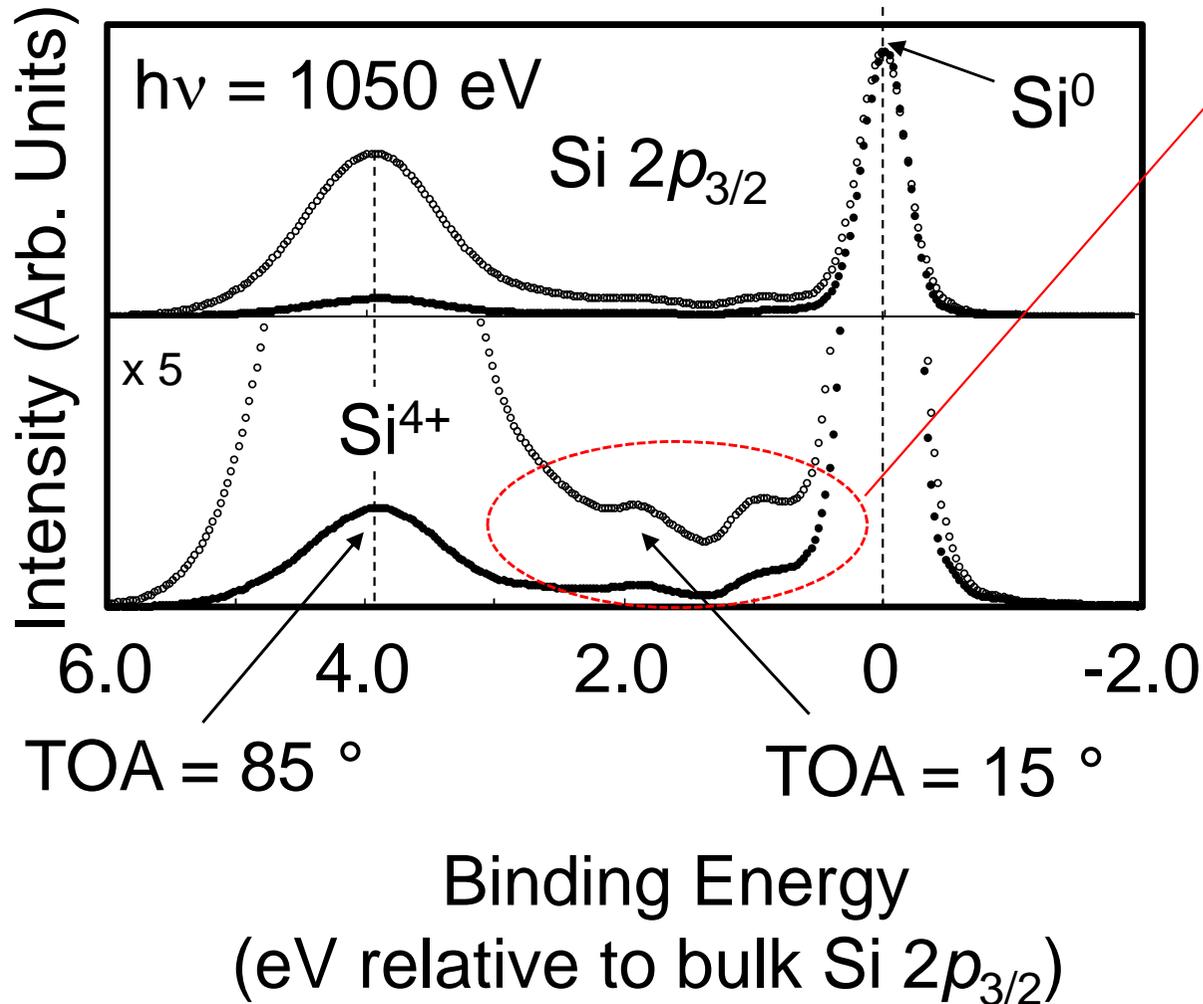
角度分解光電子分光法による SiO₂/Si界面遷移層の化学結合状態の解明 と界面構造の決定

重点ナノテクノロジー支援課題 $\left(\begin{array}{l} 2008A1641, 2008B1814, 2009A1711, 2009B1740, \\ 2010A1660, 2010B1723, 2011A1654, 2011B1717 \end{array} \right)$

1. T. Suwa et al., *Microelectronic Engineering*, Vol. **109**, pp.197-199, 2013
2. T. Suwa et al., *Japanese Journal of Applied Physics*, Vol.**52**, p.31302, 2013
(第36回(2014年度)応用物理学会論文賞「応用物理学会優秀論文賞」受賞)
3. T. Suwa et al., *ECS Transactions*, Vol.**50**(4), pp.313-318, 2012
4. T. Suwa et al., *ECS Transactions*, Vol.**45**(3), pp.421-428, 2012
5. T. Suwa et al., *ECS Transactions*, Vol.**45**(3), pp.453-460, 2012
6. T. Suwa et al., *ECS Transactions*, Vol.**35**(4)4, pp.115-122, 2011
7. T. Suwa et al., *Journal of Applied Physics Letters*, Vol.**96**(17), p.173103, 2010

TOA = 85°, 15° におけるSi 2p_{3/2}スペクトル

SiO₂/Si(100)からのスペクトル

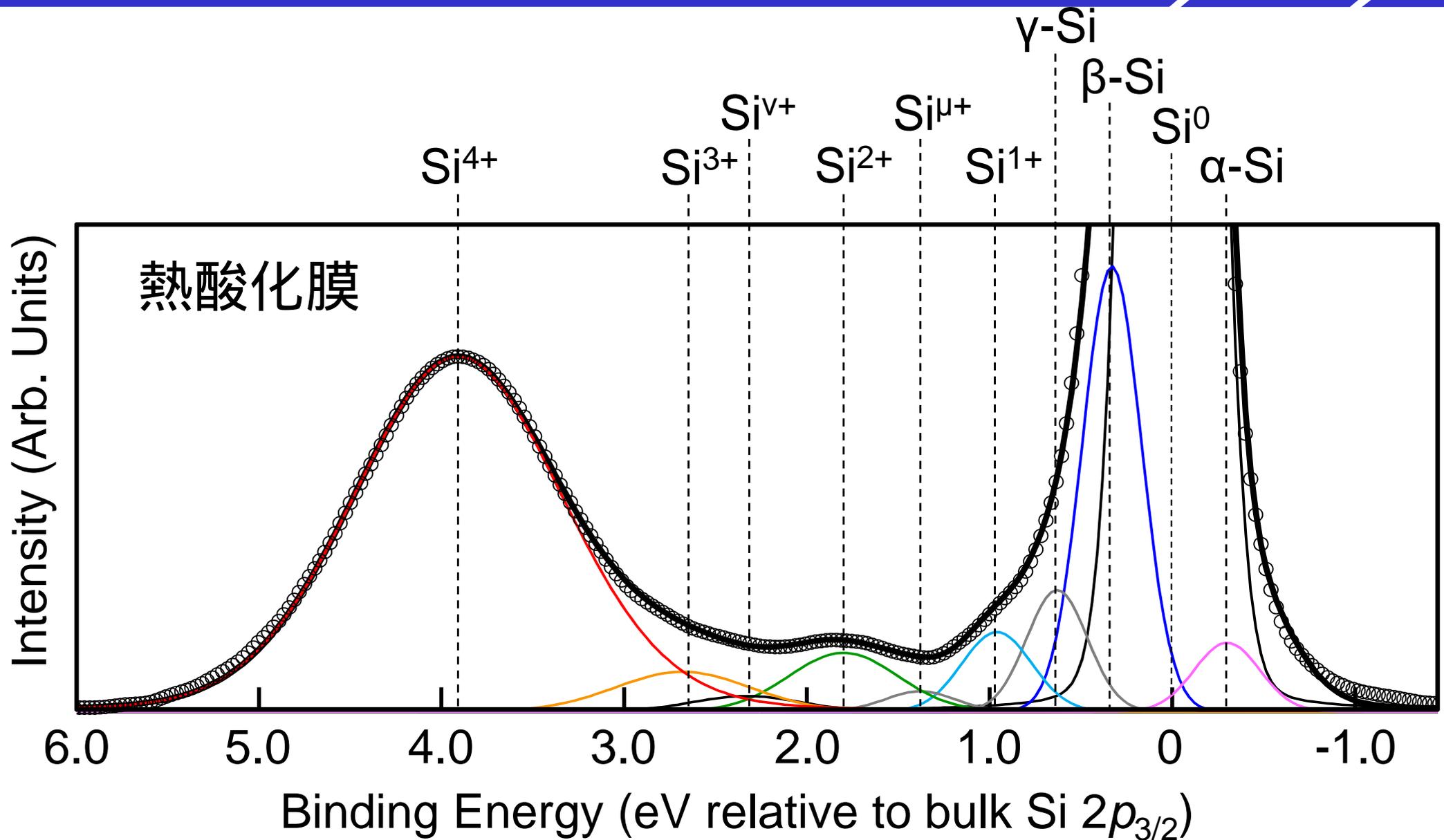


中間化学結合状態

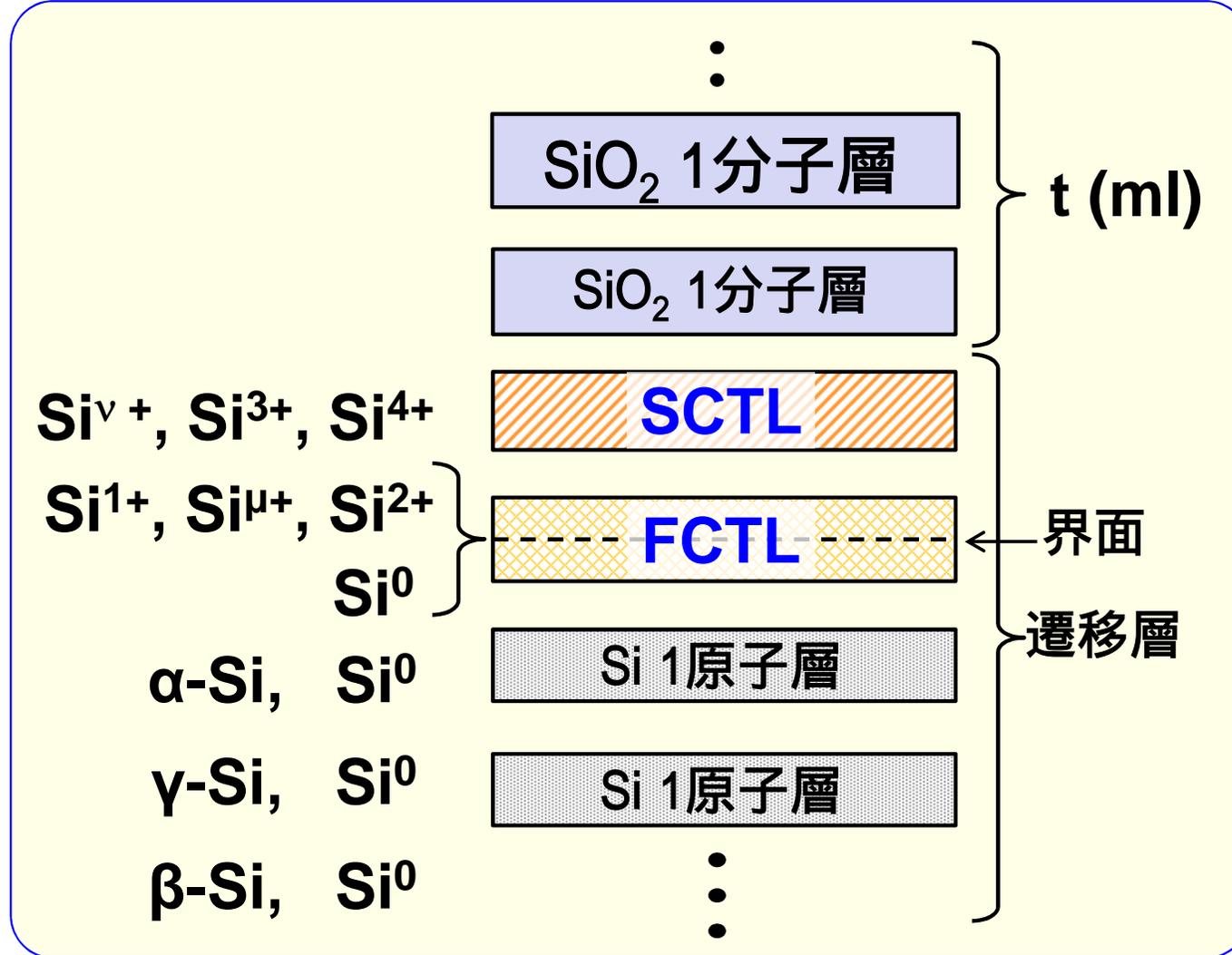
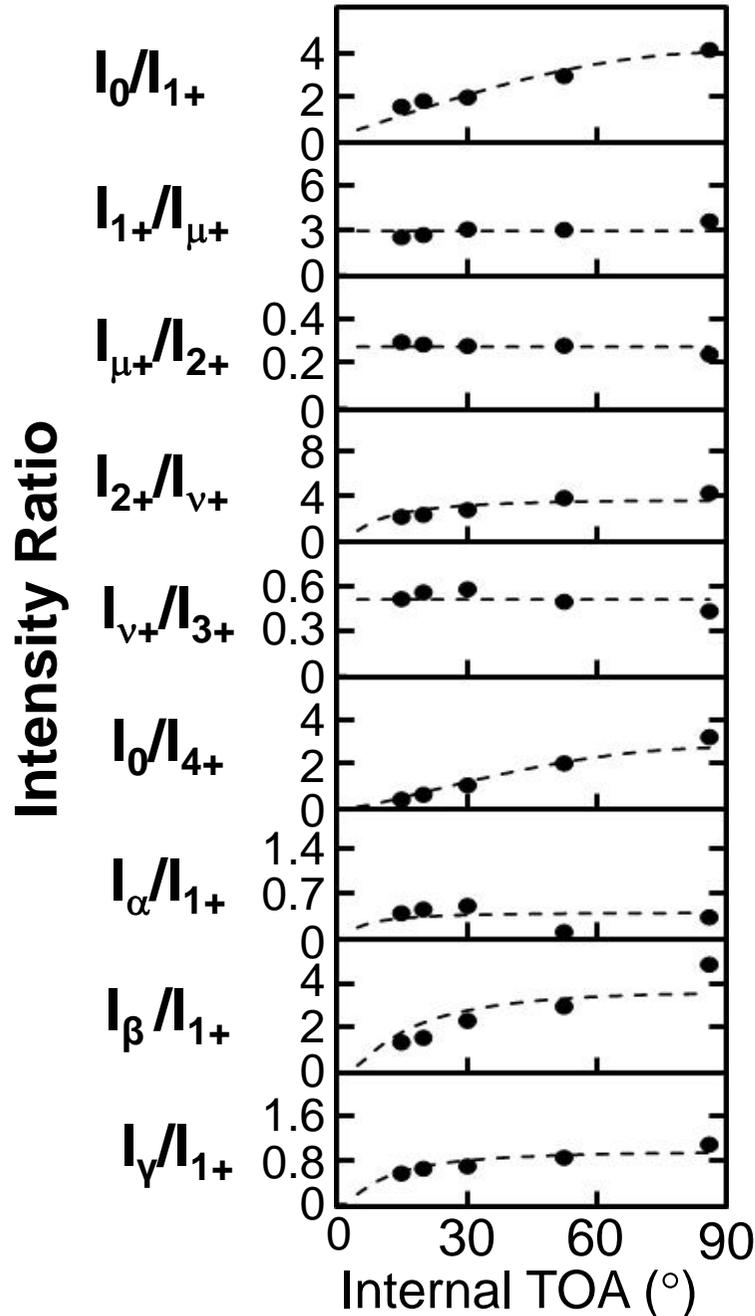
各成分の化学シフトを
正確に決めるために

光電子の脱出角(TOA)15°
と85°で測定したスペクトル
の差をとる

TOA=85 °で測定したSi 2p_{3/2}スペクトルの分離



光電子スペクトル強度比のInternal TOA依存性 および 第一・第二組成遷移層の構造図



I_{n+} : Siⁿ⁺スペクトルの積分強度
SCTL: 第二組成遷移層
FCTL: 第一組成遷移層

SiO₂ (Si⁴⁺)

2nd CTL* (Si^{v+}, Si³⁺, Si⁴⁺)

1st CTL* (Si⁰, Si¹⁺, Si^{μ+}, Si²⁺)

1st Si layer (Si⁰, α-Si)

2nd Si layer (Si⁰, γ-Si)

3rd Si layer (Si⁰, β-Si)

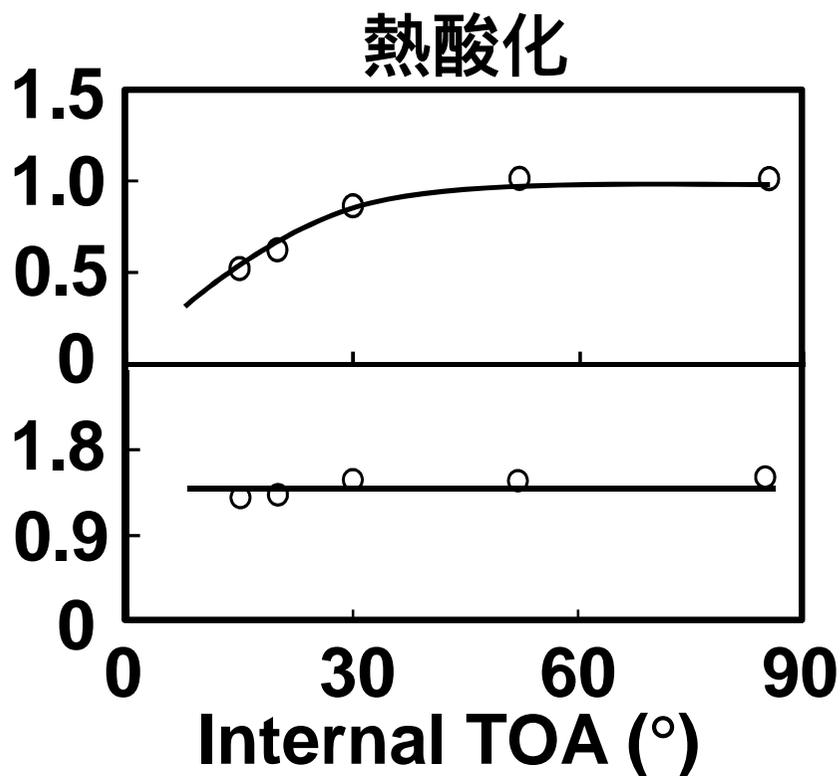
⋮

Si(100) 基板 (Si⁰)

酸化膜側の界面遷移層

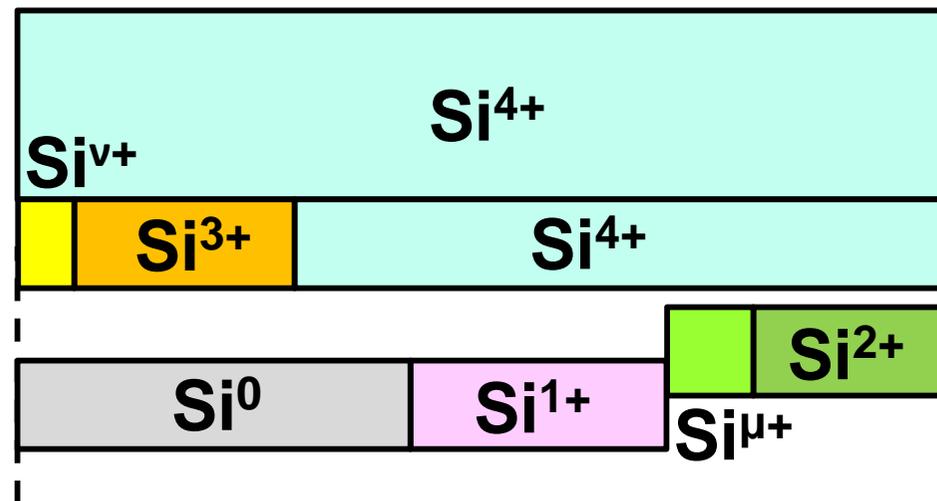
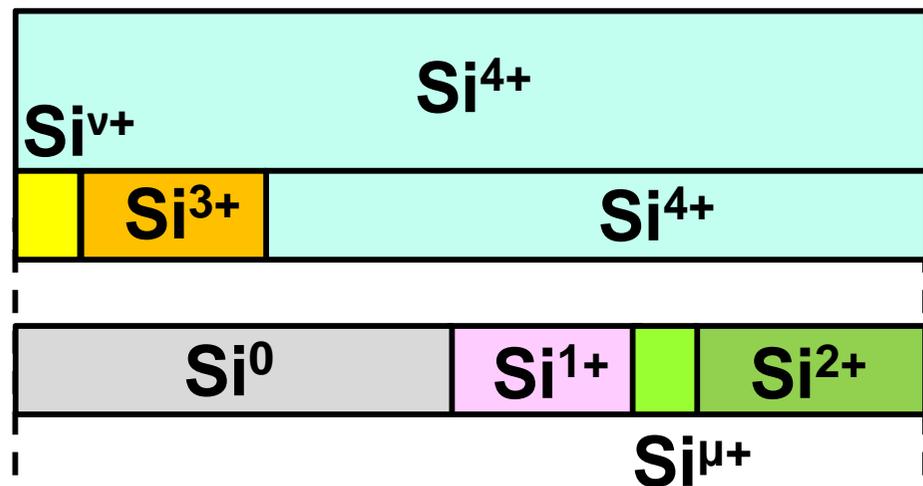
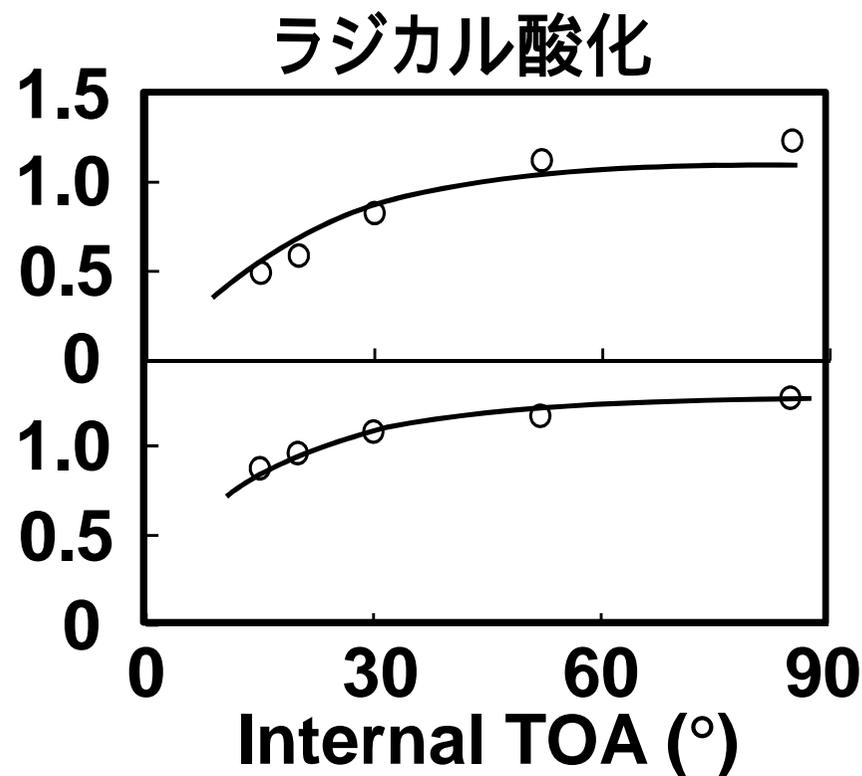
Si基板側の界面遷移層

スペクトル信号強度比から推定される組成遷移層の構造 ~ 熱酸化膜とラジカル酸化膜の界面組成遷移層の違い ~

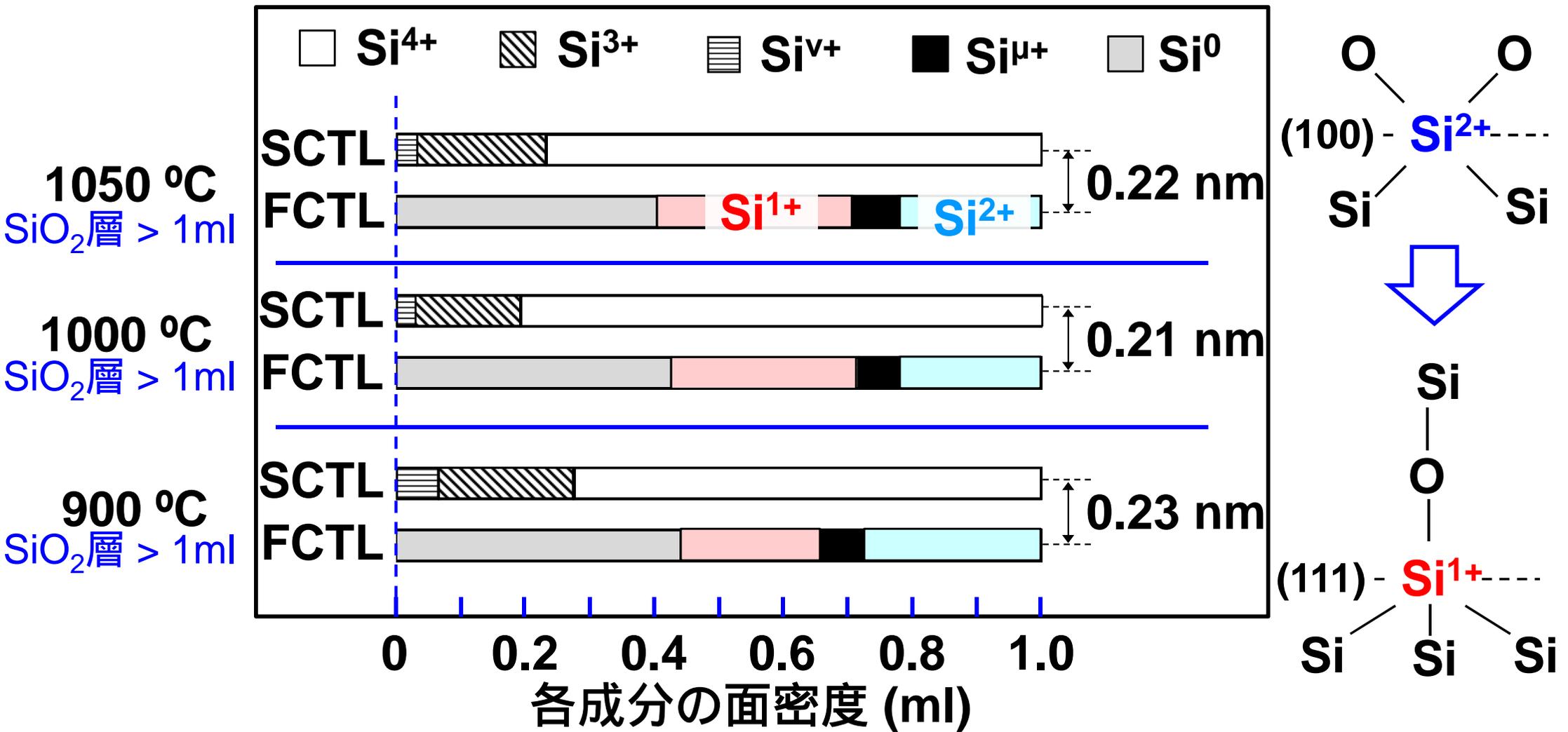


$$\frac{I(\text{Si}^{1+})}{I(\text{Si}^{3+})}$$

$$\frac{I(\text{Si}^{1+})}{I(\text{Si}^{2+})}$$



組成遷移層における組成に及ぼす酸化温度の影響



900 °Cから1000 °Cへの温度上昇により Si^{2+} の一部が Si^{1+} に変化する。この温度領域で(100)界面の一部が(111)界面に変化して安定化される。

-SiのSi基板内分布の詳細な解析

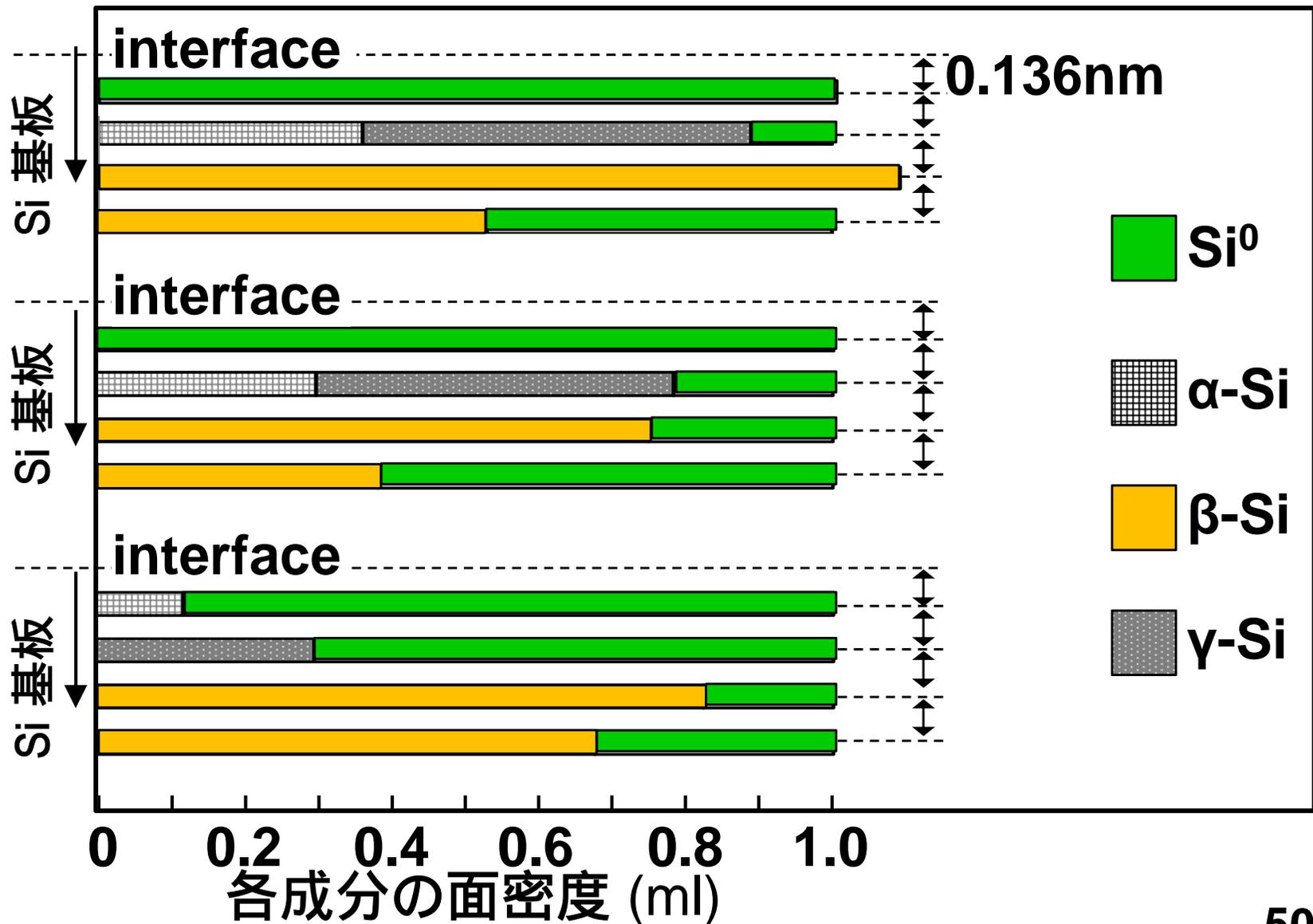
β -Siが2層に分布しているとして解析した結果、3層目および4層目における β -Siの分布が、次のように酸化温度により変化する。

熱酸化膜

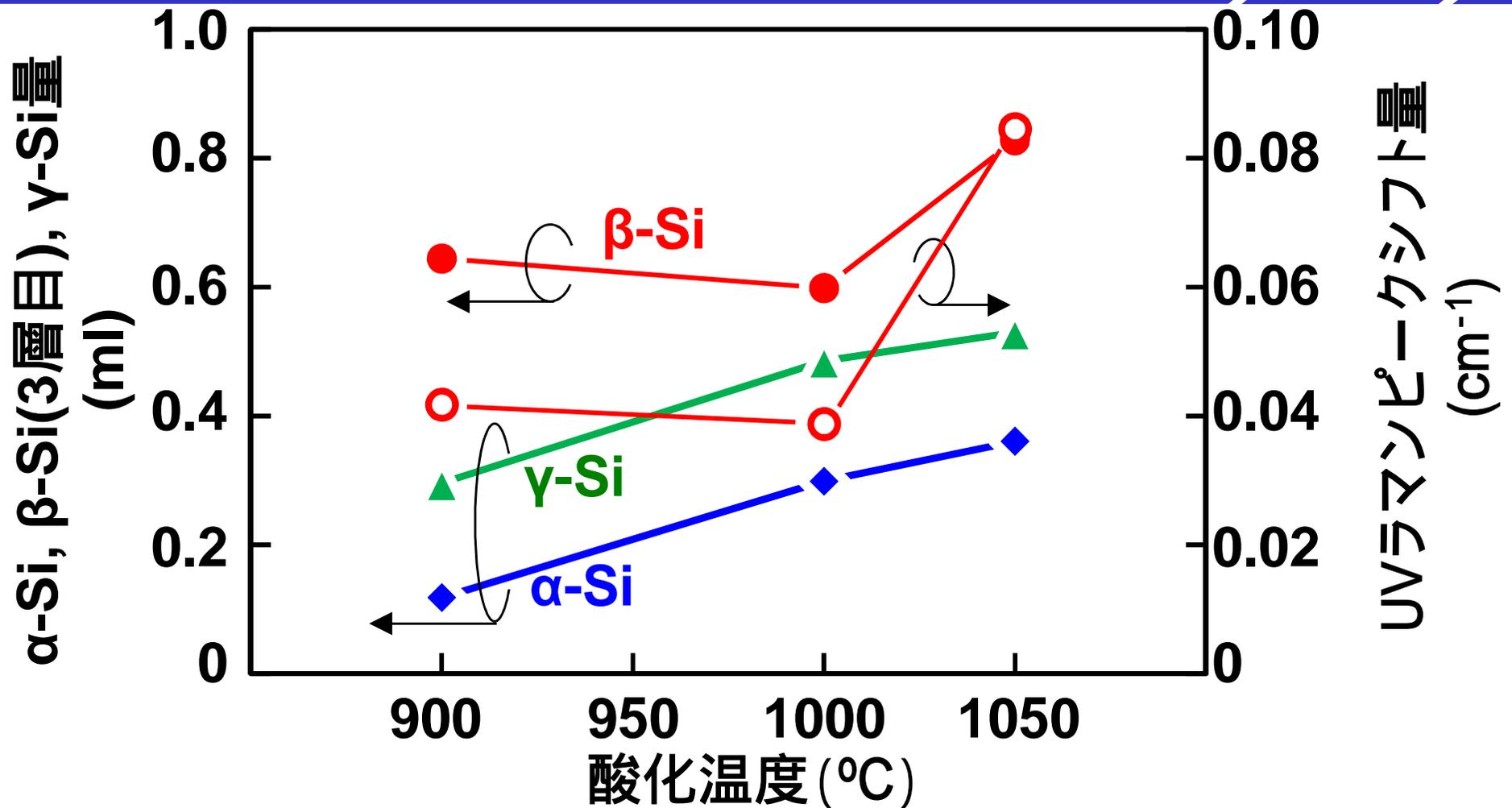
1050 °C
SiO₂層 > 1ml

1000 °C
SiO₂層 > 1ml

900 °C
SiO₂層 > 1ml

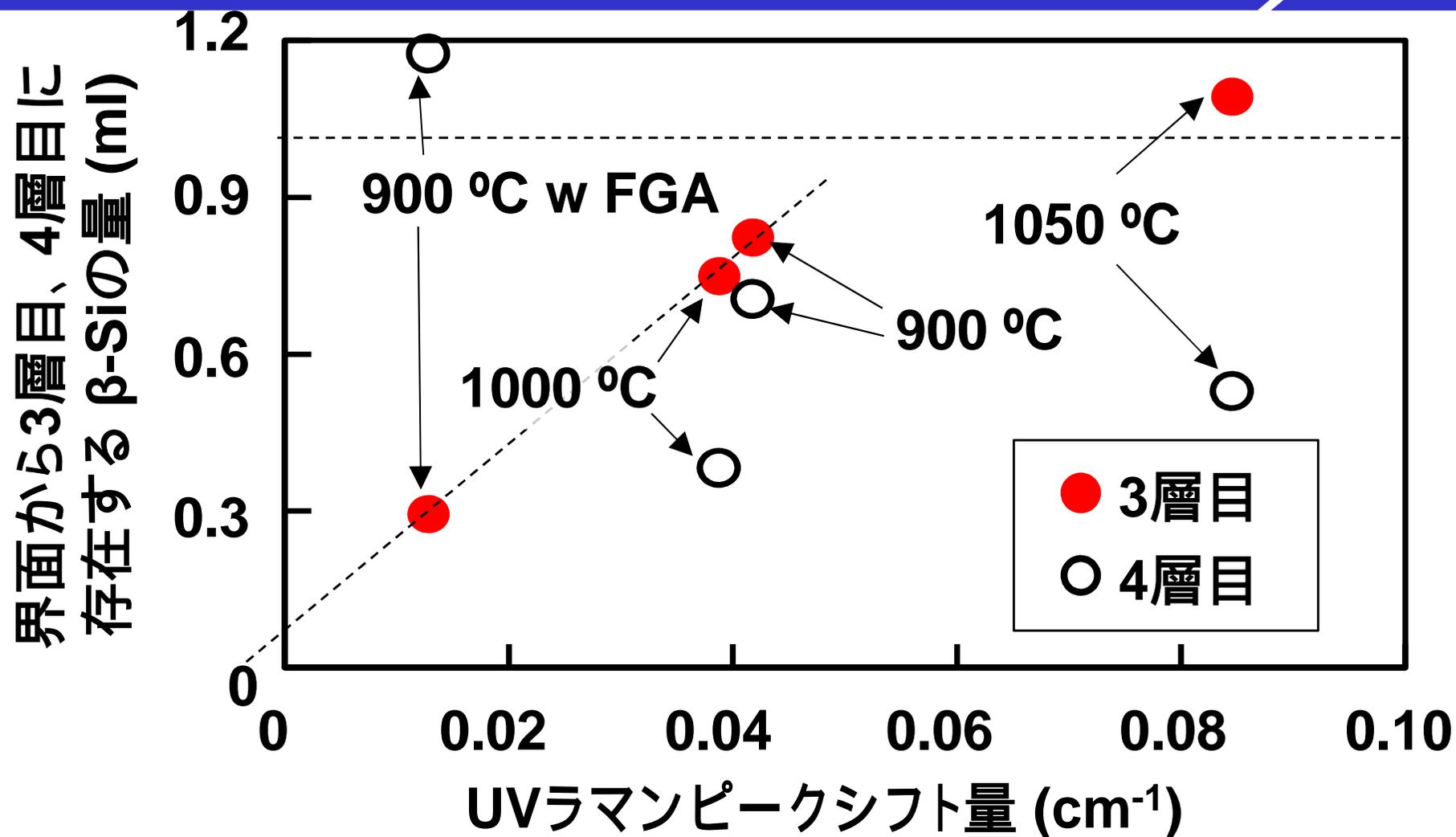


α -Si、 β -Si(3層目)、 γ -Si量とUVラマンシフト量の温度依存性



α -Si量と γ -Si量は同じ温度依存性を示す(これは構造起源が同じであることを示唆)が、UVラマンピークシフトとの間に密接な関係がない。一方、 β -Si量(3層目)とUVラマンピークシフトとの間には密接な関係がある。

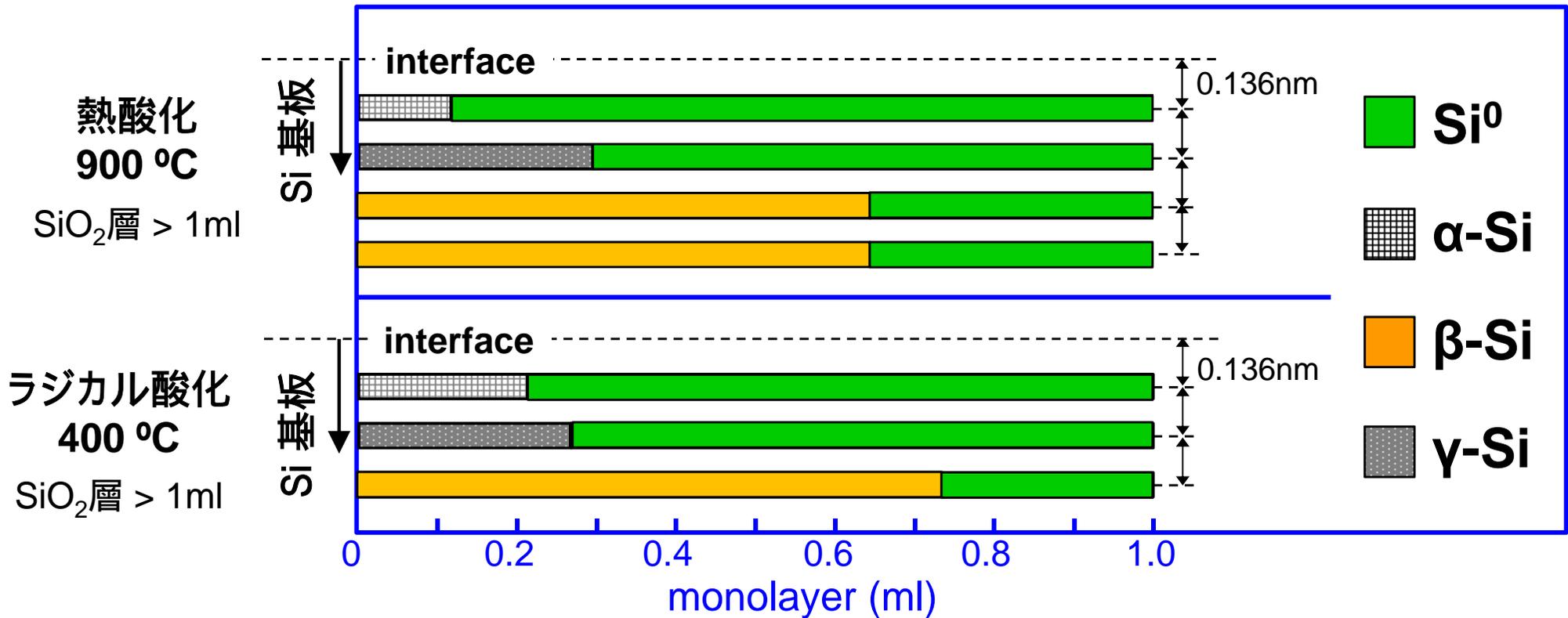
界面から3層目、4層目の β -Siの量とUVラマンシフトの関係



UVラマンピークシフトが約 0.04 cm^{-1} までは、界面から3層目の β -Si量とUVラマンピークシフト量との間の密接な関係がある。

界面からSi基板側に存在する遷移層における組成分布

酸化種による違い



ラジカル酸化では -Siが極めて少ない

⇒ 低温酸化であるため、Si基板中に応力が残留しにくいと考えられる。

⇒ 酸化過程で発生する応力は、酸化膜側の第1組成遷移層で緩和

SiO₂/Si界面遷移層の化学結合状態と界面構造に関するまとめ

1. 温度上昇により(100)界面の一部が(111)界面に変化することによる安定化は、主として900 °Cから1000 °C の間で起こる。
2. ラジカル酸化膜の場合には、熱酸化膜の場合と異なり、Si^{μ+}とSi²⁺が界面から0.11 nm離れた位置に形成される。
3. UVラマンピークシフト量約0.04 cm⁻¹までは、界面から3層目の -Si量は UVラマンピークシフト量として検出される圧縮歪に比例する。
4. ラジカル酸化では -Siが極めて少なく、低温酸化であるため、Si基板中に応力が残留しにくいと考えられる。

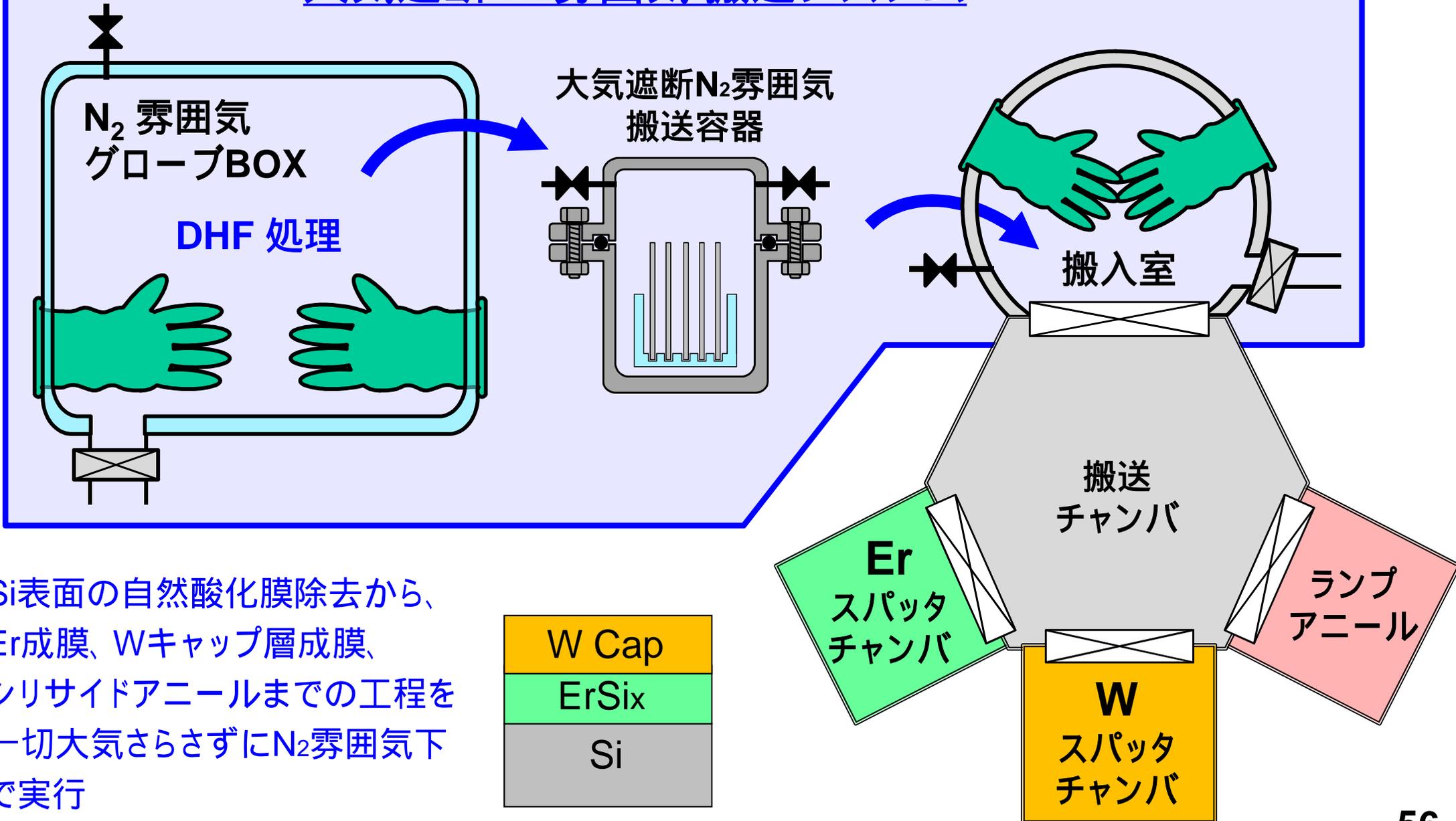
金属シリサイド成長の Si 基板面方位依存性評価

重点産業化促進課題 (2012A1610, 2012A1772, 2013A1836, 2013A1628, 2013B1720)

1. H. Tanaka et al., *ECS Transactions*, Vol.**61**(3), pp.47-53, 2014
2. H. Tanaka et al., *ECS Transactions*, Vol.**58**(7), pp.349-354, 2013
3. H. Tanaka et al., *ECS Transactions*, Vol.**53**(1), pp.343-350, 2013

大気遮断N₂雰囲気気搬送システム

大気遮断 N₂雰囲気気 搬送システム



Si表面の自然酸化膜除去から、
Er成膜、Wキャップ層成膜、
シリサイドアニールまでの工程を
一切大気さらさずにN₂雰囲気下
で実行

実験結果: XRR@BL46XU



Huber社 多軸回折計^[1]
入射X線エネルギー 15 keV
測定範囲 $2\theta: \sim 6 \text{ deg.}$

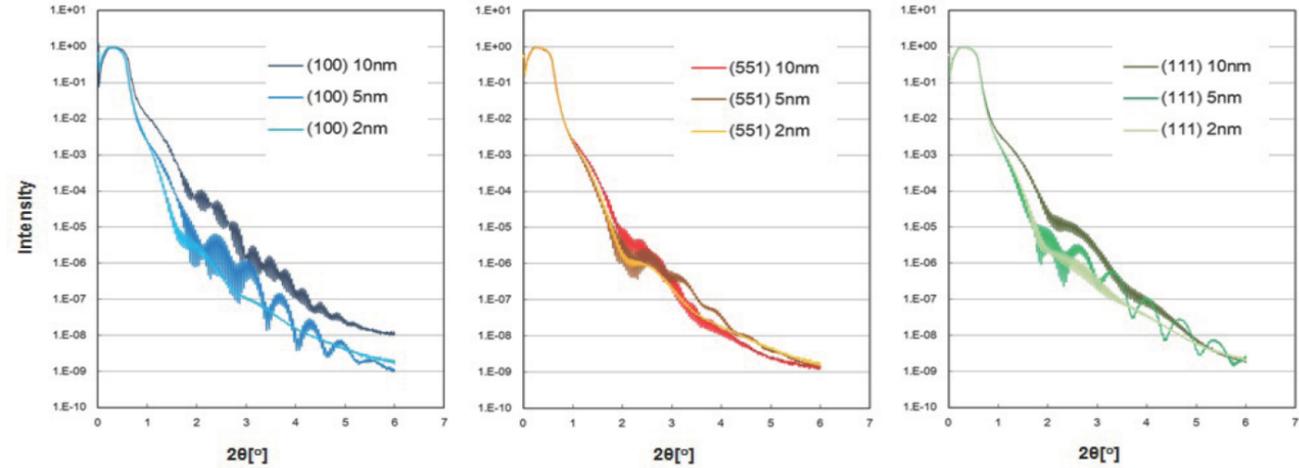


Fig . XRR測定結果 Er膜厚・基板面方位依存性

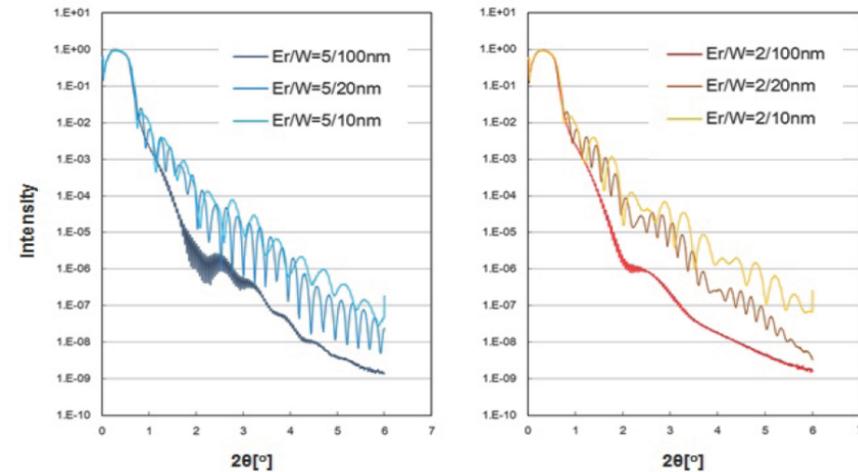
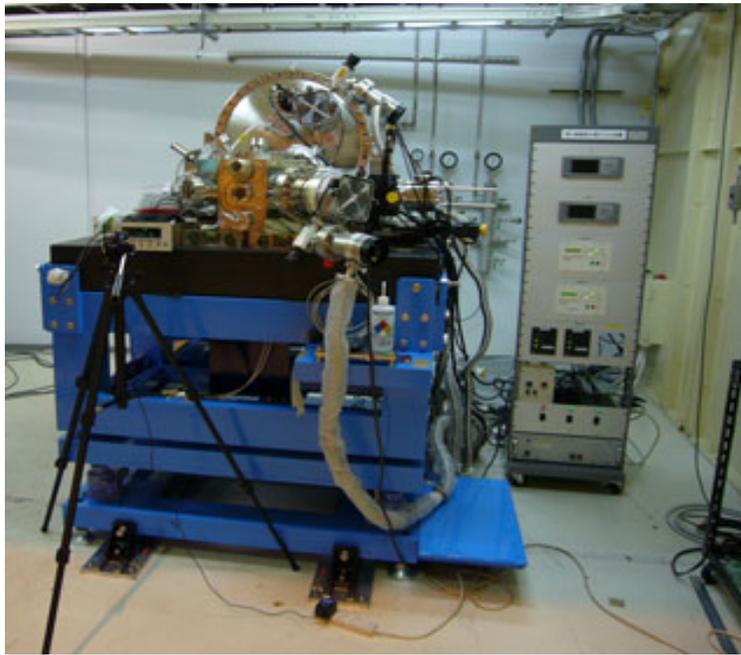


Fig . XRR測定結果 Wキャップ層厚依存性

- 基板面方位、Er形成膜厚、Wキャップ層厚によって XRR測定結果が変化することを確認

実験結果: HAXPES @BL46XU



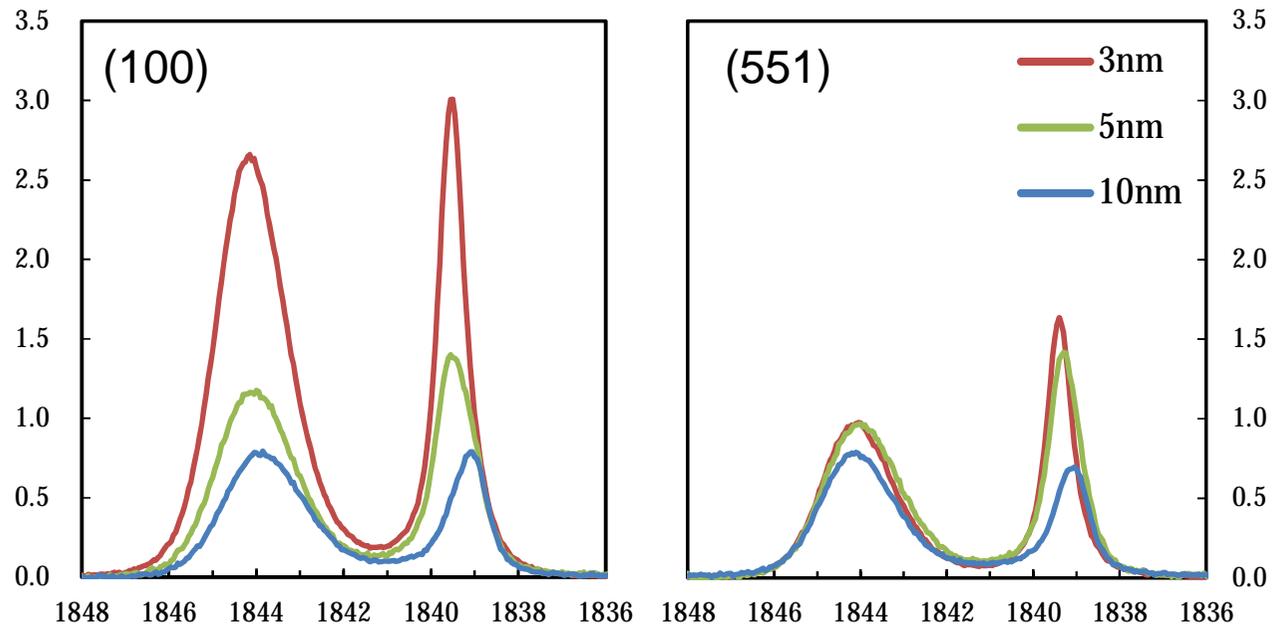
硬X線光電子分光装置^[2]

入射X線エネルギー 8 keV

TOA: 20, 52, 80

直前にW cap 除去

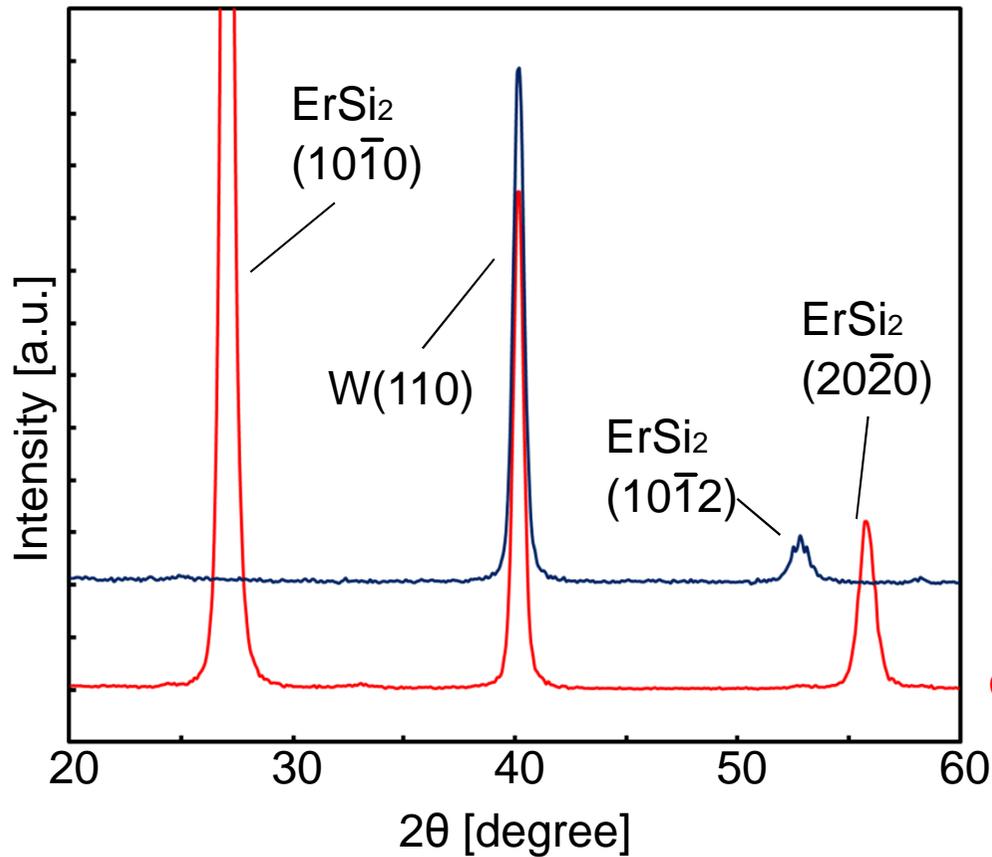
Er Deposition Thickness: 3, 5, 10 nm
→ ErSi_x Thickness: 5.0, 8.3, 16.6 nm
W Deposition Thickness: 300 nm
Silicidation Annealing Temperature : 600°C
Photon Take-off Angle : 20°



Er 3d_{5/2} スペクトルピーク強度で規格化した Si 1s スペクトルの Er 膜厚依存性

基板面方位によってシリサイド内 Si/Er 比が変動

XRD spectra of ErSi₆ on Si(100) and Si(551)



W / ErSi₂ = 30 / 50 nm

Silicidation Anneal Temp. = 600°C

on Si(551)

on Si(100)

配向が異なる

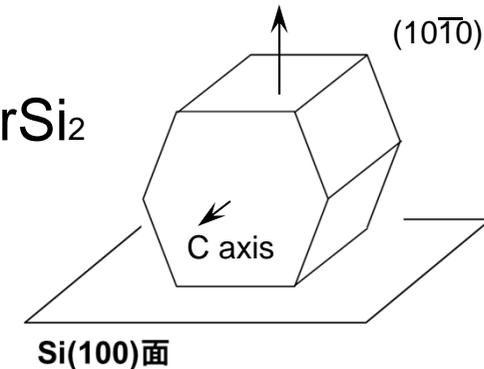
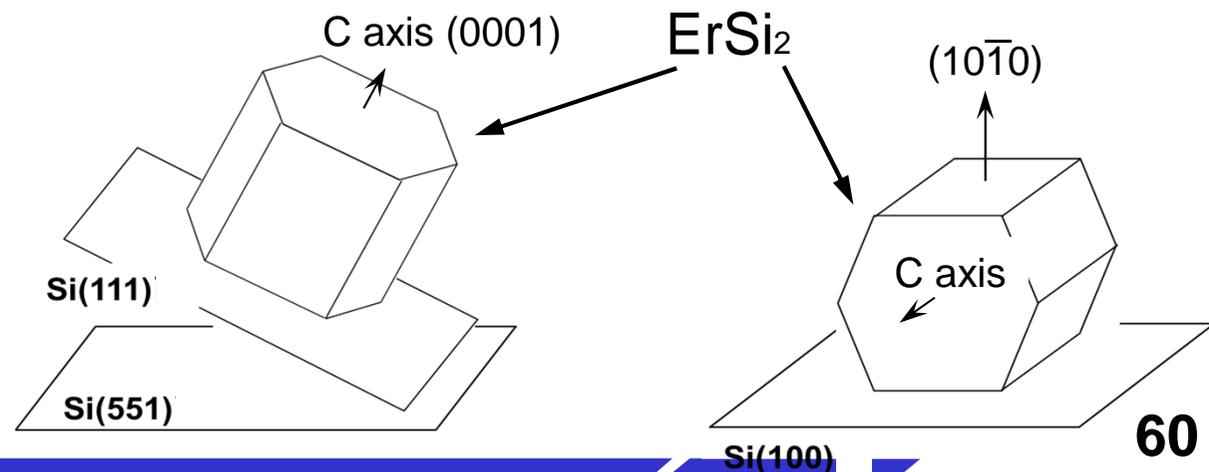
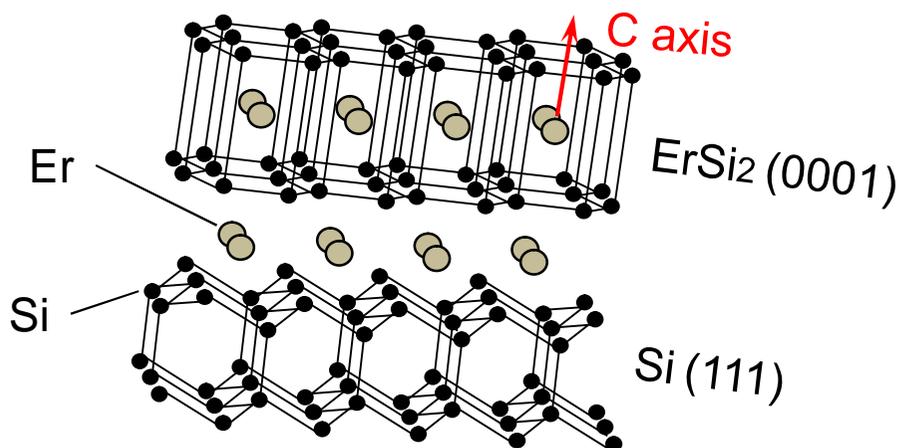
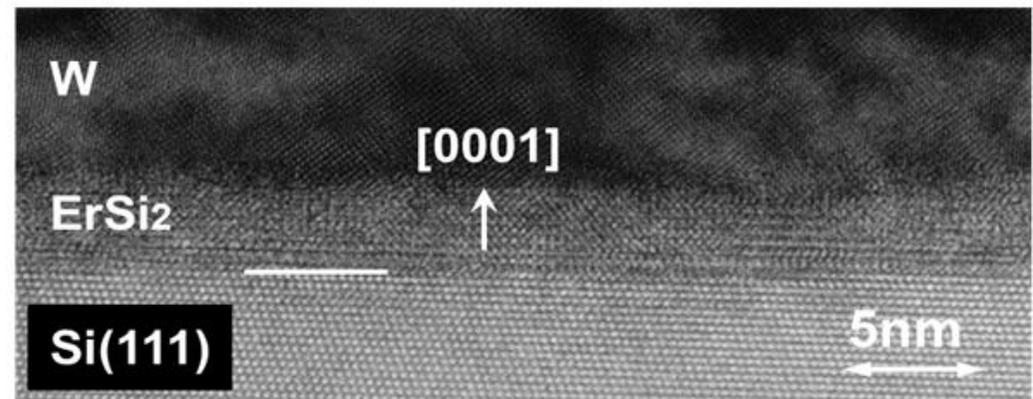
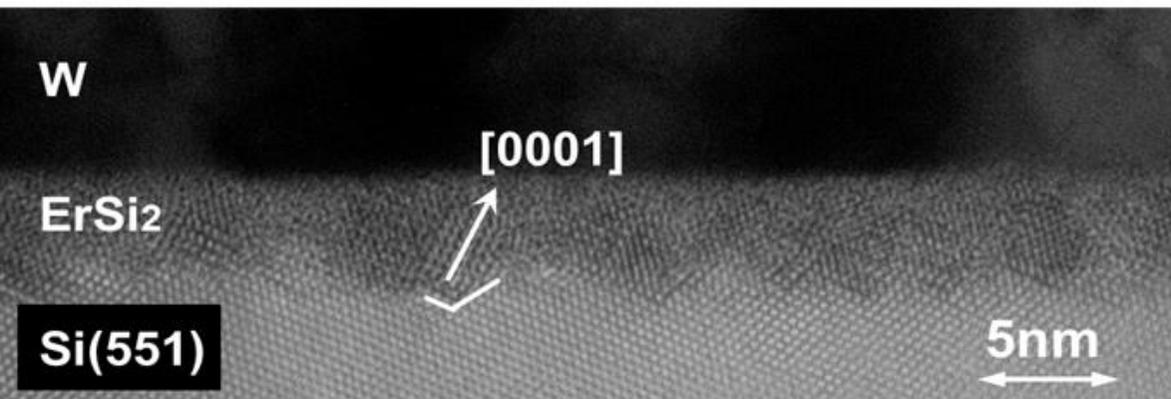
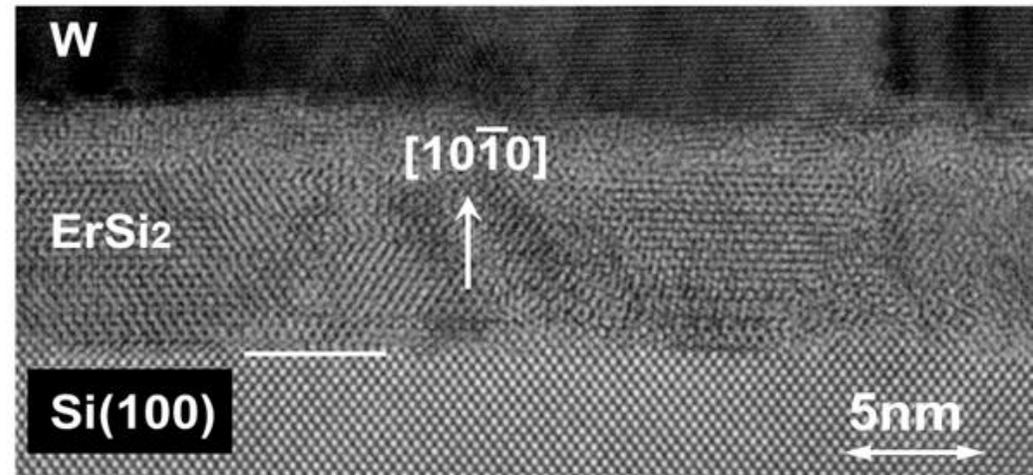
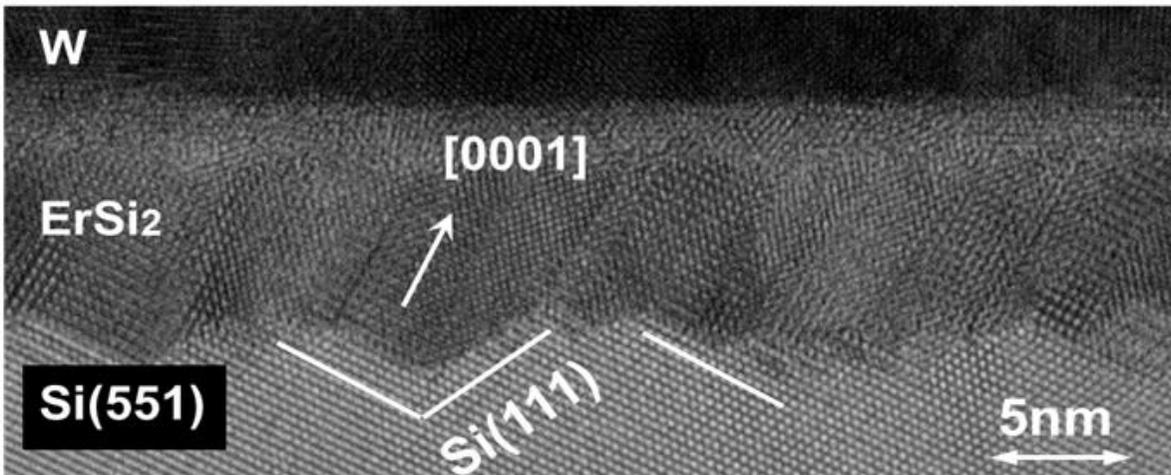


Fig. XRD Spectrum

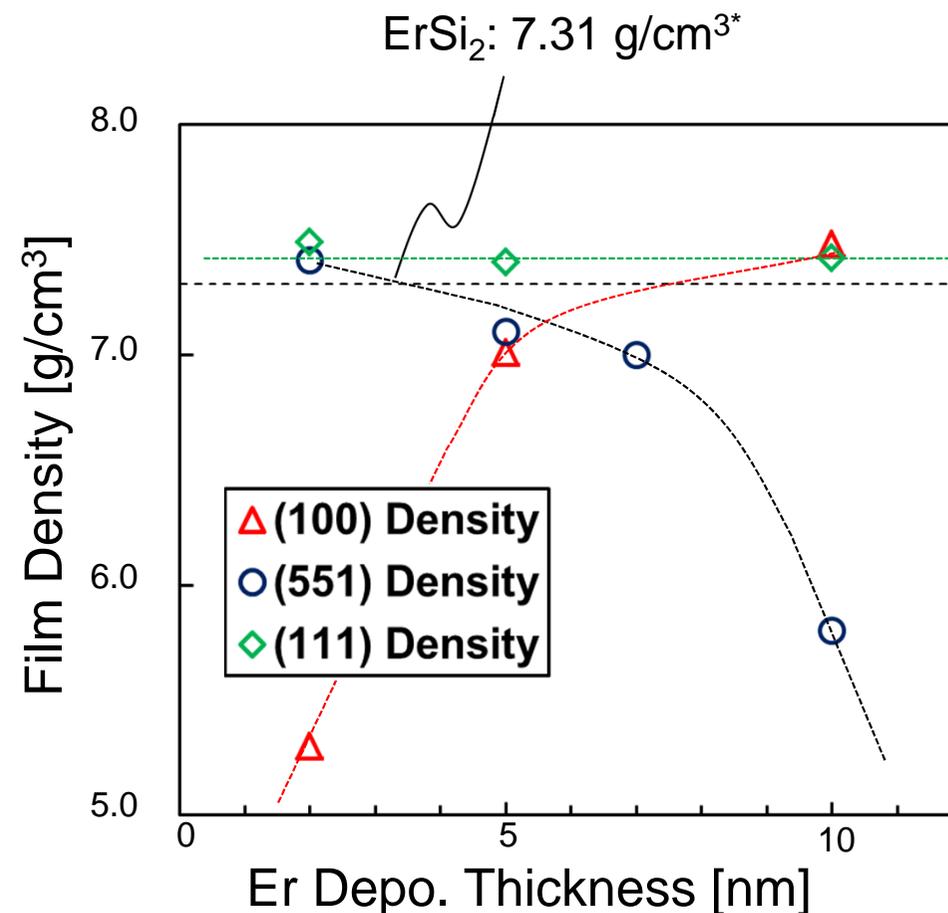
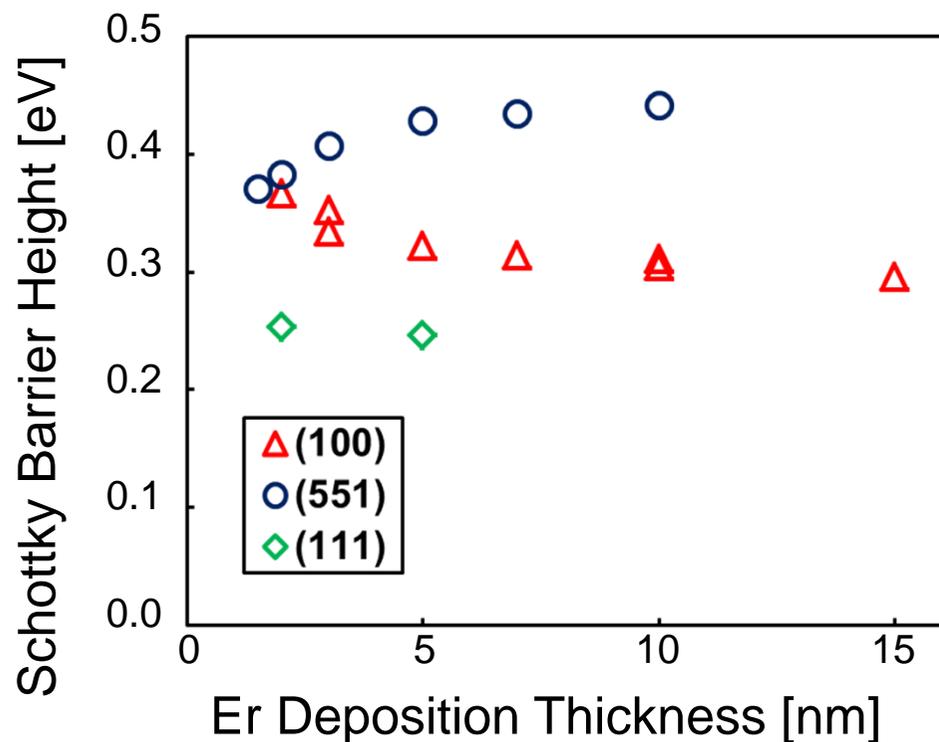
基板面方位によって形成されるErSi₆結晶配向も変化

TEM Images of W/ErSi_x/Si on Si(100) and Si(551)



TEM Images of W/ErSi_x/Si on Si(100) and Si(551)

SBHとXRR結果(膜密度)との対比



- ◎ SBHと膜密度には密接な関係があることを推定
- SBHが大きい 膜密度が小さい / SBHが小さい 膜密度が大きい

Cf) Er: 9.07 g/cm³, Si: 2.33 g/cm³ and ErSi₂: 7.31 g/cm³*

* K. Maex and M. V. Rossum, *Properties of Metal Silicides*, p.51 Inspec, London, (1995)

Erシリサイドの Si 基板面方位依存性に関するまとめ

1. n^+ -Siに対して低コンタクト抵抗に有望な金属/半導体間材料である ErSi_x は、Er膜厚や基板面方位によりシリサイド膜質および遷移層に違いが生じる
2. 高密度かつEr richな ErSi_x が、低SBH化および低コンタクト抵抗化を達成していることが判明した。
3. 基板面方位によって、シリサイド成長状態は変化し、 $\text{Si}(551)$ 面上では、基板Siがシリサイドに取り込まれながら $\text{Si}(111)$ 面を形成していることが予測された。
4. 低SBH, 低コンタクト抵抗のために最も良い組み合わせは $\text{ErSi}_2(0001) / \text{Si}(111)$ と予想された。

デバイスレベルの試料作製



東北大学NICHe
未来情報産業研究館

放射光を用いた物性評価



BL27, SPring-8
*<http://www.spring8.or.jp/>

デバイス試作、プロセス・材料開発/評価/試験

～ 試行実験レベルから試作評価レベルまで、多様な研究・開発ニーズに対応可能～

▶ デバイスメーカーとの相互乗り入れによるウェハレベル試作

(1cm角程度のカットピースから200mmウェハまでフレキシブルに対応可能)

▶ 新規材料、新規プロセスのデバイスレベル評価

(PN diode、MOS capacitor、MOSFET、Antenna-MOS、TFT、インバータ、リングオシレータ、VCO、テスト回路、等)

▶ 各種材料・表面処理等に対するプラズマ耐性・腐食ガス耐性・薬液耐性評価およびガスの分解特性評価

(ガス供給系材料、ガス排気系材料、チャンバ材料、樹脂材料、Oリング、セラミックス、フッ素系プラズマ、塩素系プラズマ、酸素系プラズマ、MOソース、酸・アルカリ薬液、等)

▶ 標準試料・評価用試料の作製

(SiO₂薄膜、SiN薄膜、Poly-S薄膜、金属薄膜、パターン形成、等)

▶ 機能性薄膜、高品質薄膜の開発・評価

(高誘電率薄膜、低誘電率薄膜、積層膜、LaB₆、IGZO、等)

200 mm Wafer Semiconductor Manufacturing Line

