

硬 X 線光電子分光測定法を用いたシリサイド成長の  
Si 基板面方位に関する研究  
Studies on the Silicide Growth of the Si Substrate Orientation  
Dependence Using Hard X-ray Photoelectron Spectroscopy

田中 宏明<sup>a</sup>, 本谷 宗<sup>b</sup>, 諏訪 智之<sup>a</sup>, 寺本 章伸<sup>a</sup>  
Hiroaki Tanaka<sup>a</sup>, Tsukasa Motoya<sup>b</sup>, Tomoyuki Suwa<sup>a</sup>, Akinobu Teramoto<sup>a</sup>

東北大学<sup>a</sup>, 三菱電機 先端技術総合研究所<sup>b</sup>  
Tohoku Univ.<sup>a</sup>, Mitsubishi Electric Corp. Advanced Technology R&D center<sup>b</sup>

集積回路の高性能化のために、Si/シリサイドの低抵抗接合界面形成は必須であり、我々はエルビウムシリサイド( $\text{ErSi}_x$ )を用いて  $8.0 \times 10^{-10} \Omega\text{cm}^2$  の低抵抗界面形成に成功している。しかし同時にこの材料を用いた界面抵抗は Si 基板面方位や、基板表面状態によって多様に変化することが判明した。安定的な低抵抗接合界面形成に関する知見を得るため、ここでは基板面方位や基板表面状態に依存した界面抵抗変化を硬 X 線光電子分光測定し、その解析結果から基板表面に依存してシリサイド中の Si の含有量が異なる事を明らかにした。

キーワード： シリサイド、基板面方位、光電子分光測定

背景と研究目的：

集積回路の高性能化には安定で低抵抗率の Si/メタル(シリサイド)界面形成が求められる。このためには、Si 高濃度ドープ層に対して仕事関数の小さいシリサイド材料を用いる事が必須であるにも関わらず、材料の仕事関数まで考慮した研究は殆ど行われていない。我々は、n 型 Si に対して  $\text{ErSi}_x$  を用いて、p 型 Si に対しては  $\text{Pd}_2\text{Si}$  を用いて Si(100)面上において 0.3eV 程度のショットキー障壁高さ、 $8.0 \times 10^{-10} \Omega\text{cm}^2$  という非常に低抵抗率の Si/金属シリサイド間のコンタクトの形成に成功している[1]。しかし形成されるシリサイドのショットキー障壁高さは、Si 基板表面の面方位依存性が大きい。集積回路の高速応答化のため、ホール移動度向上が期待される Si(551)面上では、0.4eV 程度にショットキー障壁が高くなる。また Si(111)面上では、0.25eV 程度と非常に低いショットキー障壁となる事が分かった[2-5]。

これまで(2010A1732、2012A1772)の硬 X 線光電子分光測定(HAXPES)結果から、 $\text{ErSi}_x$  組成は基板面方位に大きく依存する事が分かった(Si(100)面、および Si(551)面上に形成した  $\text{ErSi}_x$  の比較結果から)。また、基板面方位を変えたショットキーダイオードの電気的特性から基板面方位だけでなく、基板面方位が同一でも表面のアルカリ溶液処理で基板表面の結晶面を変化させると、この上部に形成する  $\text{ErSi}_x$  の仕事関数差等、電気的特性に違いがある事が分かってきた[6]。本実験では、シリサイド形成に関する基板面方位依存性確認実験を拡張し、Si(111)面上に形成したシリサイドについても、HAXPES 測定を実施した。

実験：

測定試料は、シリサイド形成基板として、Si(100)、Si(111)および(551)の各面方位の基板(両極性)を準備し、n 型 Si 基板には Er を、p 型 Si 基板には Pd をそれぞれ 5 nm 形成した。酸化しやすい Er に対しては、*in situ*. で連続的に W を酸化防止のキャップ層として 100 nm 成膜した。その後、シリサイド化アニールを行い、 $\text{ErSi}_x$ 、 $\text{Pd}_2\text{Si}$  を形成した。 $\text{ErSi}_x$  のサンプルは、W キャップ層をウェットエッチングし、測定を行った。

その後、600°Cないし 400°C、2 分間のシリサイド化アニールを行い、 $\text{ErSi}_x$  および  $\text{Pd}_2\text{Si}$  を形成した。なお、 $\text{ErSi}_x$  上に形成された W 酸化防止層は、測定前にウェットエッチング除去した。これらの測定試料に対し、Cu K $\alpha$  相当の X 線エネルギーを用いた HAXPES により、Si 1s と Er 3d<sub>5/2</sub> および Pd 3d<sub>5/2</sub> について測定を実施した。なお光電子の脱出角度(Take of Angle: TOA)は 80°を用いた。

### 結果および考察：

図 1 に Si(100)、(111)、(551)の各面方位基板上に Er を 5 nm に成膜しシリサイド化したときの Si 1s のスペクトラムを示す。各ピークは、Er の成膜厚さが同じ事から、測定領域に含まれる Er 量に差がないとし、Er 3d<sub>5/2</sub> の高さにより規格化した。Si 1s スペクトルは 2 つのピークにスプリットしており、低エネルギー側は、約 1839 eV であるため基板 Si 由来のピーク、高エネルギー側の約 1844 eV のピークがシリサイド化した Si 由来のピークと考える。基板面方位によって、高エネルギー側 Si 1s のピーク高さが異なる事に着目し、基板面方位によって、シリサイド膜中 Si 量の変化を示唆していると考えた。つまり Si(100)、(111)面上に形成したシリサイドでは、Si(551)面上に形成したシリサイドより Si 量が小さい事と考えられる。

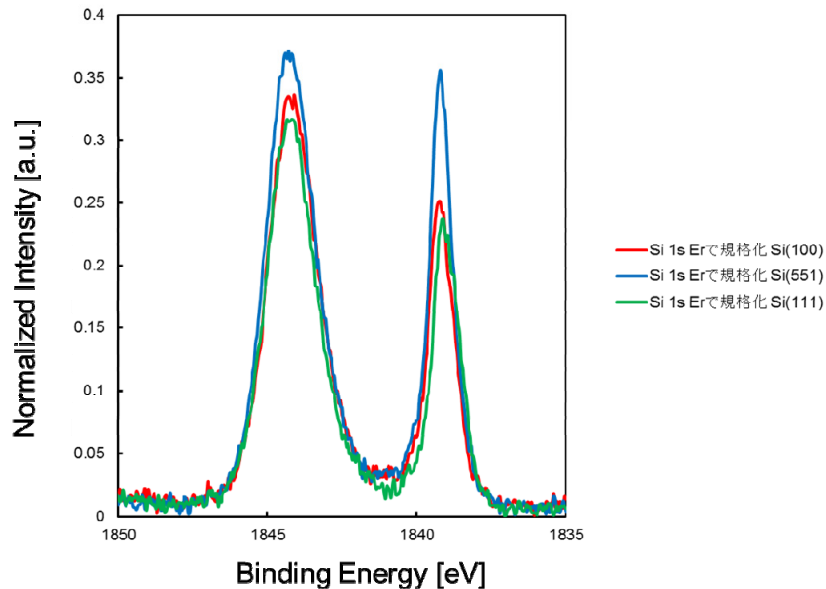


図 1. ErSix Si 1s スペクトル基板面方位依存性 (E≒8 keV, TOA=80°)

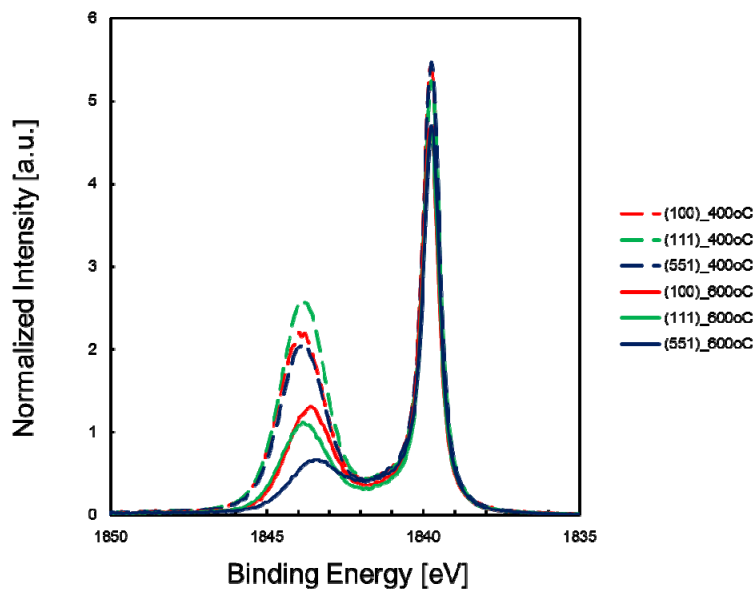


図 2. Pd<sub>2</sub>Si Si 1s のスペクトラム基板面方位、温度依存性 (E≒8 keV, TOA=80°)

図 2 に Si(100)、(111)、(551)の各面方位基板上に Pd を 5 nm に形成し 400°C と 600°C でシリサイド化したときの Si 1s のスペクトラムを示す。各ピークは、Er と同様に Pd の成膜厚さが同じ事から、含まれる Pd 量に差がないと考え、Pd 3d<sub>5/2</sub> の高さにより規格化した。基板面方位によらず、シリサイド化アニール温度により 1844eV 付近のピーク高さが変化している。400°C と比べ 600°C で形成したシリサイドでは、Si のピーク強度が小さく、シリサイド膜中の Si が少ないことが示唆される。

今後詳細に HAXPES データの解析を進め、電気的特性との関連を明確にして、金属シリサイド形成に最適なプロセスを開発していく。

**今後の課題：**

今回得られたスペクトル変化に対する詳細に解析し、Er の状態変化を明確にしていく。別途調査する電気的特性との関連明確化が今後の課題と考えられる。また、TOA=80°の測定結果以外に TOA が浅い結果の取得、これらとの対比から、シリサイド/Si 基板界面情報をより明確にしていくことも必要と考える。

**参考文献：**

- [1] R. Kuroda, et al., *IEDM Tech. Dig.*, 580 (2010).
- [2] H. Tanaka, et al., *ECS Trans.*, **41**, 365 (2011).
- [3] H. Tanaka, et al., *ECS Trans.*, **45**, 371 (2012).
- [4] H. Tanaka, et al., *ECS Trans.*, **50**, 343 (2012).
- [5] H. Tanaka, et al., *ECS Trans.*, **53**, 343 (2013).
- [6] H. Tanaka, et al., *ECS Trans.*, **58**, 349 (2013).